

525,203

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 3 月 25 日 (25.03.2004)

PCT

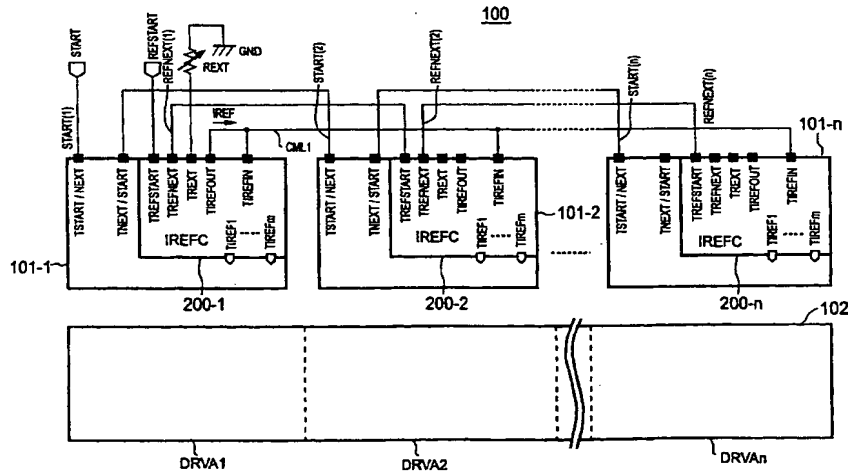
(10) 国際公開番号
WO 2004/025614 A1

- (51) 国際特許分類: G09G 3/30, 3/20, G11C 27/02, H05B 33/14
- (21) 国際出願番号: PCT/JP2003/011235
- (22) 国際出願日: 2003 年 9 月 3 日 (03.09.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2002-268036 2002 年 9 月 13 日 (13.09.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP).
- (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 高木 祐一 (TAK-AGI, Yuichi) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 大賀 玄一郎 (OGA, Genichiro) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 日月 央 (TACHIMORI, Hiroshi) [JP/JP]; 〒240-0005 神奈川県横浜市保土ヶ谷区神戸町 1 3 4 番地 ソニー・エルエスアイ・デザイン株式会社内 Kanagawa (JP).
- (74) 代理人: 佐藤 隆久 (SATO, Takahisa); 〒111-0052 東京都台東区柳橋 2 丁目 4 番 2 号 宮木ビル 4 階 創造国際特許事務所 Tokyo (JP).
- (81) 指定国 (国内): CN, KR, SG, US.

[続葉有]

(54) Title: CURRENT OUTPUT DRIVER CIRCUIT AND DISPLAY DEVICE

(54) 発明の名称: 電流出力型駆動回路およびディスプレイデバイス



(57) Abstract: A current output drive circuit comprises drivers (101-1 to 101-n) corresponding to the respective division regions of a display panel (102). The drivers include output circuits for outputting supplied reference currents IREF, as drive currents, to the respective division regions (DRVA1 to DRVA n) of the display panel (102) and reference current source circuits (200-1 to 200-n) for sampling-and-holding the reference currents received at reference current input terminals and supplying the reference currents to the output circuits. The reference current input terminal of a driver is connected to that of another driver through a common current wiring (CML1), and the reference current is fed to the reference current source circuits of the drivers in a time-division manner. The difference in luminance between drivers for dividngly driving the display (object to be driven) can be decreased adequately. Thus, a large high-gradation value organic EL display, which cannot be realized by conventional reference current supply methods, is realized.

(57) 要約: ディスプレイパネル 102 の各分割領域に対応して設けられた複数のドライバ 101-1 ~ 101-n を有し、各ドライバは、供給される基準電流 IREF を駆動電流としてディスプレイパネル 102 の対応する分割領域 DRVA1 ~ DRVA n に出力する出力回路と、基準電流入力端子から入力した基準電流をサンプルホールドした後、出力回路に供給する

[続葉有]

WO 2004/025614 A1



添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

基準電流源回路200-1~200-nを有し、基準電流入力端子が他のドライバの基準電流入力端子と共通の電流配線CML1により接続され、各ドライバの基準電流源回路には、基準電流が時分割で分配される。本発明によれば、ディスプレイ（駆動対象）を分割駆動しているドライバ間の輝度段差を十分小さくすることができ、従来の基準電流の供給方法で実現できなかった、大型で高階調表示の有機ELディスプレイを実現することができる。

明 細 書

電流出力型駆動回路およびディスプレイデバイス

技 術 分 野

本発明は、たとえば有機EL (Electroluminescence) ディスプレイデバイスに適した基準電流の時分割分配方式を採用した電流出力型駆動回路およびそれを備えたディスプレイデバイスに関するものである。

背 景 技 術

近年、鮮やかなコントラストで視野角が広く、自発光のため、バックライトが不要で薄型化に適している有機ELディスプレイパネルが注目を集めている。

有機ELディスプレイパネルは、インチサイズにおいては実用化段階に入り、材料や製造技術や駆動回路の進歩により、近年、13～17インチサイズの試作パネルの発表が相次いでいる。

有機EL素子は、ダイオードのような曲線的な電流－電圧特性をもっており、輝度－電流特性は直線的な比例関係をもっている。

このように有機EL素子や薄膜トランジスタ (TFT: Thin Film Transistor) には、しきい電圧があって、ばらつきが大きい。このため、有機ELディスプレイパネルでは、輝度と比例関係をもつ電流制御の駆動回路を用いることで、ディスプレイパネルの輝度ムラを小さくすることが提案されている。

パーソナルコンピュータやテレビジョンなどの用途の液晶パネルでは、多ビットの高階調表示が要求される。

パネル上に形成される低温ポリシリコンTFTの回路だけでは多ビットのデジタル／アナログコンバータ (DAC) などの複雑な回路を作製することは困難なため、垂直方向のデータ線を駆動する電圧出力型のドライバICをパネルの周

辺部に接着してモジュール化することが行われている。

大型のディスプレイパネルの駆動回路においては、複数のドライバを使用して分割して画面を駆動することが行われている。このような場合、ドライバ間に特性ばらつきが存在すると、分割して駆動している画面の境界線に輝度の段差が発生するという問題がある。

液晶ディスプレイの場合には、データ線ドライバは電圧出力型である。このため、基準電圧の配線ラインをドライバ集積回路（ドライバIC）間で共通に接続するという簡単な方法で、輝度段差を非常に小さくすることが可能である。

図1は、液晶ディスプレイ用のデータ線ドライバなどで用いられている基準電圧発生回路を示す回路図である。

この基準電圧発生回路は、電源電圧 V_{DD} の供給ラインと接地ラインGNDとの間に直列に接続された抵抗素子 $R_0 \sim R_7$ の抵抗分割により V_0 、 V_8 、 \dots 、 V_{64} の9つの基準電圧を発生している。そして、これらの基準電圧間をさらにDACなどによりさらに細かく補間して、例えば8等分することにより、64階調の電圧出力を得ることができる。

この基準電圧発生回路をドライバIC内に設けた場合、抵抗の絶対値がドライバIC毎にばらついたとしても、基準電圧出力は抵抗比で決まるためドライバIC間でばらつくことはほとんどない。

図2は、電圧出力型データ線ドライバにおける基準電圧のドライバIC間接続方式を説明するための図である。

この場合、ディスプレイパネルPNLは n 個の陽極ドライバIC1 $\sim n$ によって分割して駆動される。

たとえドライバIC間で基準電圧出力のばらつきがあったとしても、図2に示すように、 V_0 、 V_8 、 \dots 、 V_{64} の基準電圧毎に全部のドライバICの基準電圧の端子を接続してしまえば、基準電圧毎に平均化された電圧が全部のドライバIC1 $\sim n$ に供給されることになる。

このため、分割して駆動している画面の境界線に問題となるレベルの輝度段差が発生することはない。

ところで、有機ELディスプレイの場合には、データ線ドライバは電流出力型が適している。

有機ELディスプレイに適した電流出力型のドライバICにおいて、上記のように共通の基準電圧をドライバICに供給してから各々のドライバICで電圧－電流変換して基準電流を発生すると、電圧－電流変換回路を構成するオペアンプのオフセット電圧や抵抗素子のばらつきによりドライバIC間で基準電流がばらついてしまう。また、最終的な出力の手前で電圧－電流変換を行っても出力端子間で出力電流がばらついてしまう。

この電流ばらつきの要因を減らすために、電流出力型の陽極ドライバICにおける電流つなぎ方式を採用した有機ELフルカラーモジュール駆動システムが提案されている（たとえば、非特許文献1：「有機ELフルカラーモジュール駆動システムの開発」、Pioneer R&D VOL. 11, NO. 1; PAGE. 29-36; 2001、越智、坂本、石塚、土田、参照）。

図3Aは、この有機ELフルカラーモジュール駆動システムを示す図である。この駆動システムにおいても、ディスプレイパネルOPNLはn個の陽極ドライバIC11～1nにより分割して駆動される。

本駆動システムにおいては、各ドライバICそれぞれに基準電流源を設けて電流を設定すると、ICの性能や電流設定部の個体差で基準電流が微妙に異なり、IC単位で輝度段差を生じる場合がある。また、各ICに可変抵抗を用いて、ICごとに調整するのは量産化には不適であることから、隣接ICの一番近い電流出力を基準電流にすることで設定電流のばらつきを吸収し、輝度段差を解消している。

この電流つなぎ方式によれば、ドライバ間の輝度調節工程が不要となり、パネル上の基準電流の配線も比較的少なくすることができる。

上述したように、図 3 A に示す電流つなぎ方式では、左右に隣接したドライバの境界線に対応した輝度段差は解消される。

しかしながら、図 3 B に示すように、ドライバ I C 内の電流ばらつきが n 個分加算されていくことにより左端のドライバの基準電流 I R E F と右端のドライバの基準電流 I R E F ($n - 1$) が異なってしまうことがある。

ところで、大型のディスプレイデバイスでは横方向にディスプレイパネルを分割して駆動するだけでなく、上下方向についてもパネル上のデータ線を $1/2$ の位置で上下分割して、データ線の配線容量を $1/2$ にする。それとともに、上下にドライバを配置して並列駆動して 1 個あたりのドライバが駆動しなければならない走査線本数を半減することで駆動周波数を下げることが行われている。

このような場合、上記の電流つなぎ方式ではディスプレイパネルの上下の境目で輝度段差が発生することがある。

以上のように、従来の基準電流の供給方法では、大型で高階調表示の有機 E L ディスプレイを実現することが困難である。

このため、有機 E L ディスプレイパネルにおいても有機 E L 素子の駆動に適した電流出力型のデータ線ドライバ（ソースドライバ）の出現が待たれている。

発明の開示

本発明の目的は、ディスプレイ等の駆動対象を分割駆動しているドライバ間の輝度段差を十分小さくすることや、ディスプレイパネル上の基準電流の配線本数を削減することができて、有機 E L 素子の駆動に適した電流出力型駆動回路よびそれを備えたディスプレイデバイスを提供することにある。

上記目的を達成するため、本発明の第 1 の観点に係る電流出力型駆動回路は、複数の領域に分割して分担された駆動対象に対して駆動電流を出力する電流出力型駆動回路であって、駆動対象の各分担領域に対応して設けられた複数のドライバを有し、各ドライバは、供給される基準電流と画像データに応じた駆動電流を

上記駆動対象の対応する分担領域に出力する出力手段と、基準電流入力端子から入力した基準電流をサンプルホールドした後、出力手段に供給する基準電流源回路とを有する。

本発明の第２の観点に係る電流出力型駆動回路は、複数の領域に分割して分担された駆動対象に対して駆動電流を出力する電流出力型駆動回路であって、駆動対象の各分担領域に対応して設けられた複数のドライバを有し、各ドライバは、供給される基準電流を上記駆動電流として駆動対象の対応する分担領域に出力する出力手段と、基準電流入力端子から入力した基準電流をサンプルホールドした後、出力手段に供給する基準電流源回路とを有する。かつ、基準電流入力端子が他のドライバの基準電流入力端子と共通の電流配線により接続され、各ドライバの基準電流源回路には、基準電流が時分割で分配される。

本発明の第３の観点に係るディスプレイデバイスは、複数の領域に分割して分担されたディスプレイパネルの当該分担領域に対して駆動電流を出力するディスプレイデバイスであって、ディスプレイパネルの各分担領域に対応して設けられた複数のドライバを有し、各ドライバは、供給される基準電流を駆動電流としてディスプレイパネルの対応する分担領域に出力する出力手段と、基準電流入力端子から入力した基準電流をサンプルホールドした後、出力手段に供給する基準電流源回路とを有する。

本発明の第４の観点に係るディスプレイデバイスは、複数の領域に分割して分担されたディスプレイパネルの当該分担領域に対して駆動電流を出力するディスプレイデバイスであって、ディスプレイパネルの各分担領域に対応して設けられた複数のドライバを有し、各ドライバは、供給される基準電流を駆動電流としてディスプレイパネルの対応する分担領域に出力する出力手段と、基準電流入力端子から入力した基準電流をサンプルホールドした後、出力手段に供給する基準電流源回路とを有し、かつ、基準電流入力端子が他のドライバの基準電流入力端子と共通の電流配線により接続され、各ドライバの基準電流源回路には、基準電流

が時分割で分配される。

本発明によれば、たとえば各ドライバの基準電流入力端子が他のドライバの基準電流入力端子と共通の電流配線により接続される。

各ドライバでは、基準電流分配開始を示す信号を受けると、基準電流入力端子から基準電流が基準電流源回路に取り込まれ、基準電流分配開始を示す信号が次段のドライバ回路に出力される。

基準電流を取り込んだ基準電流源回路において、基準電流をサンプルホールドした後、出力手段に供給される。

そして、基準電流源回路から供給された基準電流が出力手段から駆動電流として駆動対象の対応する分担領域に出力される。

また、たとえば画像データの動作が停止している垂直ブランキング期間に基準電流の各ドライバへの分配が行われる。画像データの転送に伴いデジタルノイズが発生している垂直ブランキング期間後には各ドライバの基準電流源回路に保持した電流が基準電流として用いられる。

本発明によれば、分割駆動しているドライバ間の輝度段差を十分小さくすることができ、また、ディスプレイパネル上の基準電流の配線本数を削減することができる。

さらに、垂直ブランキング期間に画像データの信号を固定して各データ線ドライバへの分配を行うことで、基準電流へのデジタル信号のクロストークの影響を大幅に小さくすることができる。

また、画像データを転送しているときには、各ドライバの基準電流源回路に設けたカレントサンプリング回路にホールドした基準電流を用いることにより、動作中のノイズの影響を小さくすることができる。

その結果、大型で高階調の有機ELディスプレイを実現できる利点がある。

図面の簡単な説明

図 1 は、液晶ディスプレイ用のデータ線ドライバなどで用いられる基準電圧発生回路を示す回路図である。

図 2 は、電圧出力型データ線ドライバにおける基準電圧のドライバ IC 間接続方式を説明するための図である。

図 3 A および図 3 B は、電流出力型の陽極ドライバ IC における電流つなぎ方式を採用した有機 EL フルカラーモジュール駆動システムを示す図である。

図 4 は、本発明に係る電流出力型駆動回路を採用した有機 EL ディスプレイデバイスの第 1 の実施形態を示す構成図である。

図 5 A ～図 5 H は、図 1 のディスプレイデバイスでの基準電流のサンプリング引き継ぎ動作について説明するための図である。

図 6 は、本発明に係る電流出力型ドライバ IC の構成例を示すブロック図である。

図 7 は、本実施形態に係る基準電流源回路の第 1 の構成例を示すブロック図である。

図 8 は、図 7 の定電流源回路の構成例を示す回路図である。

図 9 は、図 7 のカレントサンプリング回路およびカレントミラー回路の具体的な構成例を示す回路図である。

図 10 A ～図 10 M は、制御信号発生回路によるカレントサンプリング回路の制御動作について説明するための図である。

図 11 A ～図 11 C は、カレントミラー回路を構成する抵抗素子のレイアウト例を示す図である。

図 12 は、図 11 A ～図 11 C のレイアウトの効果を説明するための図である。

。

図 13 A ～図 13 H は、基準電流のドライバ IC 間の分配動作を説明するための図である。

図 14 は、ドライバ IC 間に分配するための基準電流配線のシールドおよび安

定化方法を説明するための図である。

図 1 5 は、本実施形態に係る基準電流源回路の第 2 の構成例を示すブロック図である。

図 1 6 は、本実施形態に係る電流出力型ドライバ I C を構成する電流出力回路の一構成例を示す回路図である。

図 1 7 は、電流出力回路の第 1 および第 2 のバンクに採用されるカレントサンプリング回路の構成例を示す回路図である。

図 1 8 A ～ 図 1 8 H は、本実施形態に係る電流出力型ドライバ I C の動作を示すタイミングチャートである。

図 1 9 は、本実施形態に係る電流出力型ドライバ I C を構成するレジスタアレイの一構成例を示す回路図である。

図 2 0 は、本実施形態に係る電流出力型ドライバ I C を構成するレジスタアレイ、制御信号発生回路、D A C および電流出力回路を含む部分回路の構成を示すブロック図である。

図 2 1 A ～ 図 2 1 G は、本実施形態に係る電流出力型ドライバ I C の部分回路の動作を示すタイミングチャートである。

図 2 2 は、本発明に係る電流出力型駆動回路を採用した有機 E L ディスプレイデバイスの第 2 の実施形態を示す構成図である。

図 2 3 A ～ 図 2 3 N は、図 2 2 のディスプレイデバイスでの基準電流のサンプリング引き継ぎ動作について説明するための図である。

発明を実施するための最良の形態

<第 1 実施形態>

図 4 は、本発明に係る電流出力型駆動回路を採用した有機 E L ディスプレイデバイスの第 1 の実施形態を示す構成図である。

本ディスプレイデバイス 1 0 0 は、図 4 に示すように、電流出力型駆動回路を

構成する n 個の電流出力型データ線ドライバ（以下単にドライバ IC とする） $101-1 \sim 101-n$ 、および駆動対象のディスプレイパネル 102 を有している。

本ディスプレイデバイス 100 は、 n 個の駆動領域 $DRVA1 \sim DRVn$ に分割されている。そして、ディスプレイパネル 102 の図中の長手方向の一辺側（図中の上段側）に n 個のドライバ IC $101-1 \sim 101-n$ が各駆動領域 $DRVA1 \sim DRVn$ に対応するように並列的に配置されている。ディスプレイデバイス 100 は、 n 個のドライバ IC $101-1 \sim 101-n$ により分割駆動される。

この構成は、たとえばパソコンのモニターや小型のテレビジョンの場合に相当する。

各ドライバ IC $101-1 \sim 101-n$ は、基本的に同一構成を有し、図 4 に示すように、基準電流源回路（ $IREFC$ ） $200-1 \sim 200-n$ を含む。

基準電流源回路 $200(-1 \sim -n)$ は、マスタとなる 1 つのドライバ IC（本実施形態では $101-1$ ）の基準電流発生回路の外部抵抗接続端子 $REXT$ と接地 GND との間に抵抗素子 $REXT$ を接続して、抵抗素子 $REXT$ の抵抗値に応じて基準電流出力端子 $TIREFOUT$ にディスプレイパネル 102 の各分割駆動領域 $DRVA1 \sim DRVA n$ を駆動する各ドライバ IC $101-1 \sim 101-n$ に共通する基準電流 $IREF$ を発生する。

各ドライバ IC $101-1 \sim 101-n$ の基準電流源回路 $200-1 \sim 200-n$ は、供給される基準電流 $IREF$ をサンプルホールドしてからドライバ内部に供給する。

基準電流源回路 $200-1 \sim 200-n$ は、入力端子 $TREFSTART$ 、出力端子 $TREFNEXT$ 、端子 $TREXT$ 、基準電流出力端子 $TIREFOUT$ 、基準電流入力端子 $TIREFIN$ 、電流分配端子 $TIREF1 \sim TIREFm$ を有している。

本実施形態においては、マスタのドライバIC（図4では101）の基準電流出力端子TIREFOUTから出力される基準電流IREFを、共通の電流配線CML1で各ドライバIC101-1～101-nの基準電流入力端子TIREFINに接続している。

そして、図4の構成では、マスタによる基準電流IREFと各ドライバIC101-1～101-nが受け取る電流が同じになるようにするため、後で詳述するように、ドライバIC101-1、ドライバIC101-2、……、ドライバIC101-nは時分割で基準電流IREFを受け取るように電流分配方式を採用している。

なお、図4において基準電流IREFはドライバIC101-1で発生しているが、たとえば、別に電流出力型のDACを設けて供給するように構成することも可能である。

また、ドライバIC101-1、ドライバIC101-2、……、ドライバIC101-nの順番に基準電流を取り込むため、好適には、入力端子TREFSTARTと出力端子TREFNEXTにより基準電流取り込み用のフラグを移動していくために、これら入出力端子が順番に接続されている。

具体的には、初段のマスタドライバIC101-1の基準電流源回路200-1の入力端子TREFSTARTは信号REFSTARTの入力端に接続され、出力端子TREFNEXTが次段のドライバIC101-2の基準電流源回路200-2の入力端子TREFSTARTに接続されている、

ドライバIC101-2の出力端子TREFNEXTが次段の図示しないドライバIC101-3の入力端子TREFSTARTに接続されている。

以下同様にして、ドライバIC101-(n-1)の出力端子TREFNEXTが最終段のドライバIC101-nの入力端子TREFSTARTに接続されている。

なお、このような方法をとらずに、サンプリング期間を示す制御端子を設けて

、パネル上に設けた制御用 I C により集中して制御するように構成することも可能である。

また、本ディスプレイデバイス 100 は、上述したように、複数のドライバ I C 101-1 ~ 101-n で分割してディスプレイパネル 102 を駆動するため、画像データも複数のドライバ I C に順番に書き込んでいく。

このため、ドライバ I C 間で書き込み位置を示すフラグを引き継ぐための入出力端子 TSTART/NEXT、TNEXT/START が設けられている。

そして、初段のマスタドライバ I C 101-1 の入出力端子 TSTART/NEXT は、画像データの転送開始を示すパルス信号 START の入力端子に接続され、入出力端子 TNEXT/START が次段のドライバ I C 101-2 の入出力端子 TSTART/NEXT に接続されている。ドライバ I C 101-2 の入出力端子 TNEXT/START が次段の図示しないドライバ I C 101-3 の入出力端子 TSTART/NEXT に接続されている。

以下同様にして、ドライバ I C 101-(n-1) の入出力端子 TNEXT/START が最終段のドライバ I C 101-n の入出力端子 TSTART/NEXT に接続されている。

このような構成において、たとえば図示しない書き込み方向制御信号 DIR により、DIR = H (論理ハイレベル) のときは、入出力端子 TSTART/NEXT は START 入力として機能する。TNEXT/START 端子は NEXT 出力として機能して、図中ドライバ I C の左から右へフラグが移動して画像データが書き込まれる。

また、DIR = L (論理ローレベル) のときは、入出力端子 TNEXT/START が START 入力として機能する。入出力端子 TSTART/NEXT は NEXT 出力として機能して、ドライバ I C 101-n の入出力端子 TNEXT/START に、画像データの転送開始を示すパルス信号 START の入力端子に接続され、図中ドライバ I C の右から左へフラグが移動して画像データが書き

込まれる。

すなわち、ディスプレイパネルの上辺にドライバICを配置した場合には、書き込み方向制御信号DIR=Hとして、ディスプレイパネルの下辺にドライバICを配置した場合には、書き込み方向制御信号DIR=Lとすることで、同一の半導体チップで対応する。

ここで、図4のディスプレイデバイス100での基準電流のサンプリング引継ぎ動作について、図5A～図5Hのタイミングチャートに関連付けて説明する。なお、以下の動作の説明はあくまでも一例で、パネル上に設けた制御用ICにより、集中して制御するように構成することも可能である。

この場合、図示しない書き込み方向制御信号DIRがDIR=H（論理ハイレベル）で供給される。入出力端子TSTART/NEXTはSTART入力として機能して、入出力端子TNEXT/STARTはNEXT出力として機能する。

ここで、図5Aに示すように、水平同期信号HSYNCの（下向き）パルスが入力した後、図5Bに示すように、ドライバIC101-1の入出力端子TSTART（/NEXT）に画像データの転送開始を示す第1の信号としてのパルス信号START=START（1）が入力される。

ドライバIC101-1の中をフラグが移動してドライバIC101-1の画像データ用のメモリに書き込み終わると、ドライバIC101-1の入出力端子TNEXT（/START）からドライバIC101-2の入出力端子TSTART（/NEXT）へドライバIC101-2の書き込み開始を示すパルス信号START（2）が出力される。これにより、ドライバIC101-2にフラグが移動してドライバIC101-2の画像データ用のメモリに画像データが書き込まれる。

同様にして、パルス信号START（3）～START（n）が次々に出力されて、各ドライバIC101-3～101-nの画像データ用のメモリに画像デ

ータが書き込まれる。

また、図5 Eに示すように、ドライバIC101-1の入力端子TREFSTARTに基準電流IREFの分配開始を示す第2の信号としてのパルス信号REFSTARTが入力される。

パルス信号REFSTARTは、図5 Bおよび図5 Eに示すように、パルス信号START(1)にオーバーラップするように入力される。ドライバIC101-1は、パルス信号START(1)を駆動クロックとしてパルス信号REFSTARTをラッチして、1サイクル後のパルス信号START(1)の立下りエッジで1サイクル幅の信号REFNEXT(1)パルスを出力端子TREFNEXTから出力する。ドライバIC101-1は、パルス信号REFNEXT(1)発生時に基準電流IREFを基準電流入力端子TIREFINから取り込む。

ドライバIC101-2の入力端子TREFSTARTにパルス信号REFNEXTが入力される。パルス信号REFNEXT(1)は、図5 Cおよび図5 Fに示すように、パルス信号START(2)にオーバーラップしている。ドライバIC101-2は、パルス信号START(2)を駆動クロックとしてパルス信号REFNEXT(1)をラッチして、1サイクル後のパルス信号START(2)の立下りエッジで1サイクル幅のパルス信号REFNEXT(2)を出力端子TREFNEXTから出力する。ドライバIC101-2は、パルス信号REFNEXT(2)発生時に基準電流IREFを基準電流入力端子TIREFINから取り込む。

同様にして、REFNEXT(3)~REFNEXT(n)のパルスが各ドライバIC101-3~101-(n-1)から順次に出力されて、各ドライバIC101-3~101-nに基準電流IREFが順番に取り込まれて行く。

以下に、上記機能を有するドライバIC101(-1~-n)の具体的な構成および各部の機能について、図面に関連付けて順を追って説明する。

図6は、本発明に係る電流出力型ドライバICの構成例を示すブロック図である。

本ドライバIC101は、図6に示すように、基準電流源回路(IREFC)200、制御回路(CTL)300、書き込み回路(WRT)400、フラグ用双方向シフトレジスタ(FSFT)500、画像データ用レジスタアレイ(REGARY)600、制御信号発生回路(GEN)700-1, 700-(m/2)、電流出力型DAC(ディジタル/アナログコンバータ)800-1, 800-2, ..., 800-(m-1), 800-m、電流出力回路(IOUT)900-1, 900-2, ..., 900-(m-1), 900-m、およびテスト回路(TST)1000を有している。

各ドライバIC101-1~101-nの基準電流源回路200は、入力信号REFNEXTの制御に従って基準電流入力端子TIREFINを通して基準電流IREFをドライバIC内部に取り込み、取り込んだ基準電流IREFをDAC数分に複製または時分割で分配してDAC800-1~800-mに出力する。

基準電流源回路200は、マスタとなる1つのドライバIC(本実施形態では101-1)の基準電流発生回路の外部抵抗接続端子REXTと接地GNDとの間に抵抗素子REXTを接続して、抵抗素子REXTの抵抗値に応じて基準電流出力端子TIREFOUTにディスプレイパネル102の各分割駆動領域DRVA1~DRVANを駆動する各ドライバICに共通する基準電流IREFを発生する。

あるいは基準電流IREFは、たとえばディスプレイパネル102に別途設けた定電流発生回路や電流出力型DACなどの電流源から、マスタとなる1つのドライバIC(本実施形態では101-1)に供給されるように構成される。

図7は、本実施形態に係る基準電流源回路の第1の構成例を示しブロック図である。

本基準電流源回路200Aは、図7に示すように、基準電流発生回路としての定電流源回路（ISRC）201、基準電流を時分割で取り込むためのカレントサンプリング回路（CSMPL）202、カレントミラー回路（CURMR）203、およびカレントサンプリング回路202の動作を制御するための制御信号CTL201、CTL202を発生する制御信号発生回路（CLTGEN）204を有している。

定電流源回路201は、マスタとなる1つのドライバIC（本実施形態では101-1）として用いられる場合、外部抵抗接続端子TREETと接地GNDとの間に抵抗素子REXTを接続して、その抵抗値に応じて基準電流IREFを発生し、基準電流出力端子TIREFOUTから出力する。

基準電流出力端子TIREFOUTは、共通の配線CML1（図7には図示していない）により同一および他の基準電流源回路のカレントサンプリング回路202の基準電流入力端子TIREFINに接続される。

この定電流源回路201は、ディスプレイパネル102上の部品点数を減らすためドライバIC内に設けられている。

図8は、図7の定電流源回路の構成例を示す回路図である。

定電流源回路201は、図8に示すように、バンドギャップ定電圧発生回路（BGVGEN）、演算増幅器を用いたフィードバック回路2012、抵抗素子R201とpnp型トランジスタQ201とからなる第1電流源2013、抵抗素子R202とpnp型トランジスタQ202からなる電流源2014、pnp型トランジスタQ203、Q204、および外付け抵抗素子REXTにより構成されている。

抵抗素子R201の一端が電源電圧VDDの供給ラインに接続され、他端がトランジスタQ201のエミッタに接続されている。トランジスタQ201のコレクタがトランジスタQ203のエミッタに接続され、トランジスタQ203のコレクタが端子TREET、およびフィードバック回路2012の非反転入力端子（

+)に接続されている。

抵抗素子R202の一端が電源電圧V_{DD}の供給ラインに接続され、他端がトランジスタQ202のエミッタに接続されている。トランジスタQ202のコレクタがトランジスタQ204のエミッタに接続され、トランジスタQ204のコレクタが基準電流出力端子T_{IREFOUT}に接続されている。

トランジスタQ201、Q202のベースがフィードバック回路2012の出力に接続され、トランジスタQ203、Q204のベースが図示していないバイアス回路のベース電圧V_{KP1}の供給ラインに接続されている。

また、フィードバック回路2012の反転入力端子(−)がバンドギャップ定電圧発生回路2011の電圧供給ラインに接続されている。

バンドギャップ定電圧発生回路2011は、電源電圧依存性や温度依存性を非常に小さくした電圧V_{BG}を発生する。

フィードバック回路2012は、端子T_{REXT}の電圧がV_{BG}に一致するように、出力電圧AMP_Oにより、第1電流源2013、および第2電流源2014に流れる電流値を制御する。

これにより、定電流源回路201は、トランジスタQ204のコレクタ側に次式で与えられる基準電流I_{REF}を発生し、基準電流出力端子T_{IREFOUT}から出力する。

$$I_{REF} \approx (V_{BG} / K_{REXT}) \times (K_{R201} / K_{R202}) \quad \dots (1)$$

ここで、K_{REXT}は外付抵抗素子R_{EXT}の抵抗値、K_{R201}は第1電流源2013の抵抗素子R201の抵抗値、K_{R202}は第2電流源2014の抵抗素子R202の抵抗値をそれぞれ示している。

カレントサンプリング回路202は、たとえば2つの第1電流メモリおよび第2電流メモリを有し、制御信号発生回路204により第1制御信号CTL201

および第2制御信号CTL202に応じて、第1電流メモリまたは第2電流メモリに基準電流入力端子TIERFINから供給される基準電流IREFを書き込む。かつ、第1電流メモリまたは第2電流メモリの書き込み動作に並行して、第2電流メモリまたは第1電流メモリに既にかき込んだ基準電流IREFを出力端子TIRCSOからカレントミラー回路203に出力する（読み出す）。

カレントミラー回路203は、カレントサンプリング回路202の第1または第2の電流メモリにサンプリングされた（書き込まれた）基準電流IREFを受けて、DAC800-1～800-mの数に相当する基準電流IREF1～IREFmを複製して、DAC800-1～800-mに供給する。

図9は、図7のカレントサンプリング回路202およびカレントミラー回路203の具体的な構成例を示す回路図である。

カレントサンプリング回路202は、図9に示すように、第1電流メモリ2021および第2電流メモリ2022を有している。これら第1電流メモリ2021および第2電流メモリ2022が基準電流入力端子TIERFINに対して並列に接続されている。

図9では、第1電流メモリ2021が基準電流入力端子IREFINから基準電流を取り込んでいる状態で、第2電流メモリ2022が先に取り込んだ電流を出力端子TIRCSOからカレントミラー回路203に出力している。

第1電流メモリ2021は、絶縁ゲート型電界効果トランジスタであり、たとえばnチャネルMOS（NMOS）トランジスタM211、M212、スイッチング素子SW211～SW216、およびキャパシタC211、C212を有している。

NMOSトランジスタM211のソースが接地GNDに接続され、キャパシタC211の第1電極およびキャパシタC212の第1電極が接地GNDに接続され、ドレインがNMOSトランジスタM212のソースおよびスイッチング素子SW211の端子aに接続される。ゲートがキャパシタC211の第2電極、ス

スイッチング素子SW211の端子bおよびスイッチング素子SW215の端子a, bにそれぞれ接続されている。

NMOSトランジスタM212のドレインがスイッチング素子SW212の端子a、スイッチング素子SW213の端子a、およびスイッチング素子SW214の端子aに接続される。ゲートがキャパシタC212の第2電極、スイッチング素子SW212の端子b、スイッチング素子SW216の端子a, bに接続されている。

そして、スイッチング素子SW213の端子bが基準電流入力端子TIREFINに接続され、スイッチング素子SW214の端子bが出力端子TIRCSOに接続されている。

第2電流メモリ2022は、NMOSトランジスタM221, M222、スイッチング素子SW221～SW226、およびキャパシタC221, C222を有している。

NMOSトランジスタM221のソースが接地GNDに接続され、キャパシタC221の第1電極およびキャパシタC222の第1電極が接地GNDに接続される。ドレインがNMOSトランジスタM222のソースおよびスイッチング素子SW221の端子aに接続され、ゲートがキャパシタC221の第2電極、スイッチング素子SW221の端子bおよびスイッチング素子SW225の端子a, bにそれぞれ接続されている。

NMOSトランジスタM222のドレインがスイッチング素子SW222の端子a、スイッチング素子SW223の端子a、およびスイッチング素子SW224の端子aに接続される。ゲートがキャパシタC222の第2電極、スイッチング素子SW222の端子b、スイッチング素子SW226の端子a, bに接続されている。

そして、スイッチング素子SW223の端子bが基準電流入力端子TIREFINに接続され、スイッチング素子SW224の端子bが出力端子TIRCSO

に接続されている。

以上の構成を有するカレントサンプリング回路 202 は、制御信号発生回路 204 により発生される制御信号 CTL 201、CTL 202 に基づく各スイッチング素子 SW 211 ~ 216、SW 221 ~ SW 226 の切替（オン／オフ）制御により、第 1 電流メモリ 2021 または第 2 電流メモリ 2022 に基準電流入力端子 TIERFIN から供給される基準電流 IREF を書き込み、第 2 電流メモリ 2022 または第 1 電流メモリ 2021 に既に入力した基準電流 IREF の出力端子 TIRCSO への出力（読み出し）動作を行う。

具体的な制御については後述する。

カレントミラー回路 203 は、たとえば抵抗素子 R 211、R 212 と pnp 型トランジスタ Q 211、Q 212、Q 213、Q 214 からなるウィルソン定電流源 2031、npn 型トランジスタ Q 215、Q 216 からなるウィルソン定電流源の出力電流を受け取る出力電流負荷 2032、npn 型トランジスタ Q 217、Q 218、Q 219、Q 220 からなるトランジスタ Q 214 のベース電流をキャンセルするためのベース電流シンク 2033、および、抵抗素子 R 221 と pnp 型トランジスタ Q 221、Q 231 からなる電流源 2034-1、（抵抗素子 R 222 と pnp 型トランジスタ Q 222、Q 232 からなる電流源 2034-）、……、抵抗素子 R 22m と pnp 型トランジスタ Q 22m、Q 23m からなる電流源 2034-m により構成されている。

基準電流 IREF の入力端子 TIRCSI がカレントサンプリング回路 202 の出力端子 TIRCSO に接続されている。そして、入力端子 TIRCSI にトランジスタ Q 213 のコレクタ、トランジスタ Q 214 のベース、およびトランジスタ Q 217 のコレクタに接続されている。

抵抗素子 R 211 の一端が電源電圧 V_{DD} の供給ラインに接続され、他端がトランジスタ Q 211 のエミッタに接続され、トランジスタ Q 211 のコレクタがトランジスタ Q 213 のエミッタに接続されている。抵抗素子 R 212 の一端が電

源電圧 V_{DD} の供給ラインに接続され、他端がトランジスタ Q_{212} のエミッタに接続され、トランジスタ Q_{212} のコレクタがトランジスタ Q_{214} のエミッタ、並びにトランジスタ Q_{211} 、 Q_{212} のベース、さらにはトランジスタ $Q_{21} \sim Q_{22m}$ のベースに接続されている。

トランジスタ Q_{214} のコレクタがトランジスタ Q_{215} のエミッタに接続され、トランジスタ Q_{215} のコレクタがトランジスタ Q_{216} のコレクタおよびベースに接続され、トランジスタ Q_{216} のコレクタが接地 GND に接続されている。

トランジスタ Q_{215} のベースがトランジスタ Q_{218} のコレクタ、並びにトランジスタ Q_{217} および Q_{218} のベースに接続されている。トランジスタ Q_{217} のエミッタがトランジスタ Q_{219} のコレクタ、並びにトランジスタ Q_{219} および Q_{220} のベースに接続されている。トランジスタ Q_{218} のエミッタがトランジスタ Q_{220} のコレクタに接続され、トランジスタ Q_{219} 、 Q_{220} のエミッタが接地 GND に接続されている。

また、抵抗素子 R_{221} の一端が電源電圧 V_{DD} の供給ラインに接続され、他端がトランジスタ Q_{221} のエミッタに接続される。トランジスタ Q_{221} のコレクタがトランジスタ Q_{231} のエミッタに接続され、トランジスタ Q_{231} のコレクタが基準電流出力端子 $TIERF1$ に接続されている。

同様にして、抵抗素子 R_{22n} の一端が電源電圧 V_{DD} の供給ラインに接続され、他端がトランジスタ Q_{22n} のエミッタに接続される。トランジスタ Q_{22n} のコレクタがトランジスタ Q_{23n} のエミッタに接続され、トランジスタ Q_{23n} のコレクタが基準電流出力端子 $TIERFn$ に接続されている。

さらにトランジスタ Q_{213} 、 $Q_{231} \sim Q_{23m}$ のベースが図示していないバイアス電圧発生回路のベース電圧 V_{KP2} の供給ラインに接続されている。

このような構成を有するカレントミラー回路 203 においては、カレントサンプリング回路 202 から供給された基準電流 I_{REF} が各電流源 $2034-1 \sim$

2034-mに伝達されて複製される。これらの複製された基準電流 $I_{REF1} \sim I_{REFm}$ が各基準電流出力端子 $T_{IREF1} \sim T_{IREFm}$ からDAC800-1~800-mに供給される。

制御信号発生回路204は、制御信号CTL201によりカレントサンプリング回路202の第1電流メモリ2021のスイッチング素子SW211~216、制御信号CTL202により第2電流メモリ2022のスイッチング素子SW221~SW226の切替（オン／オフ）制御を行って、第1電流メモリ2021または第2電流メモリ2022に基準電流入力端子 T_{IERFIN} から供給される基準電流 I_{REF} を書き込ませ、第2電流メモリ2022または第1電流メモリ2021に既にかき込んだ基準電流 I_{REF} の出力端子 T_{IRCSO} に出力させる。

制御信号発生回路204は、ドライバICがパルス信号REFNEXTを発生しているときに第1電流メモリ2021または第2電流メモリ2022に基準電流 I_{REF} を書き込む動作を行わせる。

そして、制御信号発生回路204は、第1電流メモリ2021と第2電流メモリ2022への書き込みを、パルス信号REFNEXTが入力する毎に交互に行わせる。

すなわち、制御信号発生回路204は、片方の電流メモリに書き込みを行っていても、必ず、もう一方の電流メモリから出力電流が供給されるようにカレントサンプリング回路202の制御を行う。

制御信号発生回路204が発生する制御信号CTL201には、カレントサンプリング回路202の第1電流メモリ2021のスイッチング素子SW211をオン／オフ制御する信号CSW211、スイッチング素子SW212をオン／オフ制御する信号CSW212、スイッチング素子SW213をオン／オフ制御する信号CSW213、スイッチング素子SW214をオン／オフ制御する信号CSW214、スイッチング素子SW215をオン／オフ制御する信号CSW21

5、およびスイッチング素子SW216をオン／オフ制御する信号CSW216を含む。

同様に、制御信号発生回路204が発生する制御信号CTL202には、カレントサンプリング回路202の第2電流メモリ2022のスイッチング素子SW221をオン／オフ制御する信号CSW221、スイッチング素子SW222をオン／オフ制御する信号CSW222、スイッチング素子SW223をオン／オフ制御する信号CSW223、スイッチング素子SW224をオン／オフ制御する信号CSW224、スイッチング素子SW225をオン／オフ制御する信号CSW225、およびスイッチング素子SW226をオン／オフ制御する信号CSW226を含む。

次に、図10A～図10Mに関連付けて制御信号発生回路204によるカレントサンプリング回路202の制御動作について説明する。

なお、ここでは、第1電流メモリ2021に対する制御動作を説明する。第2電流メモリ2022に対する制御動作も同様に行われることから、ここではその説明は省略する。

電流書き込み時には、図10B～図10Gに示すように、スイッチング素子SW214がオフした状態でスイッチング素子SW211とSW212とSW213がオンするように制御信号CSW214、CSW211～CSW213が制御信号発生回路204によりカレントサンプリング回路202に供給される。

これに伴い、スイッチング素子SW211とSW212とSW213がオンしてNMOSトランジスタM211とM212は各々ダイオード接続した状態となる。これにより、入力電流が各々のMOSトランジスタに流れて、各々のドレイン電圧がキャパシタC211の電極およびキャパシタC212の電極に入力される。このとき、ドレイン電圧＝ゲート電圧なので、入力電流がちょうど飽和電流となるゲート電圧が入力される。

電流書き込みから電流読み出しに移る時には、スイッチング素子SW214が

オフした状態でスイッチング素子SW211、SW212、SW213の順番にオフするように、制御信号CSW214、CSW211～CSW213が制御信号発生回路204によりカレントサンプリング回路202に供給される。

これに伴い、NMOSトランジスタM211のゲート電圧、NMOSトランジスタM212のゲート電圧が順番にキャパシタC211の電極およびキャパシタC12の電極にホールドされる。

最後にスイッチングSW214がオンするように制御信号CSW214が制御信号発生回路204によりカレントサンプリング回路202に供給される。

また、スイッチング素子SW215とSW216は、スイッチングSW211、SW212がオフするときに逆にオンするように、制御信号CSW215、CSW216が制御信号発生回路204によりカレントサンプリング回路202に供給される。

スイッチング素子SW215とSW216がオンし、スイッチングSW211、SW212がオフすることにより、スイッチング素子SW211、SW212のスイッチング動作で発生するチャージがキャンセルされる。

電流読み出し時には、スイッチング素子SW211とSW212とSW213がオフして、スイッチング素子SW214がオンするように、制御信号CSW214、CSW211～CSW213が制御信号発生回路204によりカレントサンプリング回路202に供給される。

これに伴い、スイッチング素子SW211とSW212とSW213がオフして、スイッチング素子SW214がオンした状態で、キャパシタC211にホールドされたゲート電圧で決まるNMOSトランジスタM211の飽和電流が、出力端子TIRCSOに出力される。電流読み出し時に、NMOSトランジスタM212はカスコードのトランジスタとして機能する。

以上、カスコードの構成を有するMOSトランジスタを設けたことと、スイッチング動作で発生するチャージをキャンセルするスイッチング素子を設けたこと

により電流書き込み時と電流読み出し時の電流値は十分な精度で一致する。そのため、マスタの基準電流を非常に高い精度で各ドライバに分配することが可能になる。

カスコードの構成を有するMOSトランジスタを追加することにより電流書き込み時と電流読み出し時の電流精度を改善できるとしたが、カスコードの構成をとることでコンデンサに保持される電圧 V_{GS} のうち電流値 I_{REF} を決める実効的な電圧 $V_{eff} = V_{GS} - V_{th}$ の値が小さくなるという不利益が発生する。

カレントサンプリング回路が動作するのに必要な電圧 V_{max} は以下の式2～式6で与えられる。まず、ここで、 $V_{GS1} = V_{eff1} + V_{th}$ 、 $V_{GS2} = V_{eff2} + V_{th}$ とおくと、第1のMOSトランジスタM211について、次式が成立する。

$$\begin{aligned} I_{max} &= (1/2) \beta (W1/L) * (V_{GS1} - V_{th})^2 \\ &= (1/2) \beta (W1/L) * V_{eff1}^2 \end{aligned} \quad \dots (2)$$

同様に、第2のMOSトランジスタM212について、次式が得られる。

$$\begin{aligned} I_{max} &= (1/2) \beta (W2/L) * (V_{GS2} - V_{th})^2 \\ &= (1/2) \beta (W2/L) * V_{eff2}^2 \end{aligned} \quad \dots (3)$$

式2と式3において、 $W1$ と $W2$ は、それぞれトランジスタM211とM212のチャネル幅を示し、 L はトランジスタM211とM212のチャネル長を示す。 I_{max} は、電流出力型駆動回路の出力電流の最大値である。

式2および式3における V_{eff1} と V_{eff2} は、MOSトランジスタM211とM212に電流を流すために必要な実効的な電圧と言える。この実効的な電圧が小さいと、ドレイン-ゲート間のカップリング容量の影響やスイッチング素子SW

211、SW212のオン／オフ時の影響を受けやすくなる。

カスコードの構成をとるMOSトランジスタM211とM212に印加される最大の電圧 V_{\max} は、次式によって与えられる。

$$\begin{aligned} V_{\max} &= V_{GS1} + V_{GS2} + \alpha \\ &= V_{eff1} + V_{eff2} + 2V_{th} + \alpha \end{aligned} \quad \dots (4)$$

式4において、定数 α は、スイッチング素子SW213とSW214を構成するMOSトランジスタのドレイン－ソース間の電圧で、 $\alpha = V_{DS} \approx 0.2V$ 程度である。DAC出力との接続を考えると、最大電圧 V_{\max} は、次式によって与えられる。

$$V_{\max} \leq (1/2) V_{DD} \quad \dots (5)$$

ここで、 $V_{th} = 0.75V$ 、 $V_{DD} = 4.75V$ とすると、次の結果が得られる。

$$V_{eff1} + V_{eff2} = 0.675V \quad \dots (6)$$

式6によると、 V_{eff1} や V_{eff2} は、数百mVというかなり小さな電圧をとることが分かる。サンプリングホールド時に発生する数mVの誤差も問題になるため、ドライバIC間に分配するための基準電流配線にデジタル信号のクロストークなどが乗らないよう十分な注意が必要である。

次に、カレントミラー回路203を構成する抵抗素子のレイアウト、基準電流のドライバIC間の分配動作、並びに、ドライバIC間に分配するための基準電流配線のシールドおよび安定化方法について、図面に関連付けて説明する。

図11A～図11Cは、カレントミラー回路203を構成する抵抗素子のレイアウト例を示す図である。

ここでは、ドライバIC内に設けられたDACの個数を $m=8$ とした場合について説明する。上述したように抵抗素子R211、R212はウィルソン定電流源2031を構成する抵抗素子である。また、抵抗R221、R222、……、R228は電流源2034-1、電流源2034-2、……、電流源2034-8を構成する抵抗素子である。

そして、カレントミラー回路203は、ドライバIC内に図中左から右へ配置されているDAC800-1、DAC800-2、……、DAC800-8に基準電流IREF1、IREF2、……、IREF8を供給する。

図11Aは、好適なレイアウト例を示している。

図11Aの例では、ドライバICチップ左端のDAC800-1の基準電流源2034-1の抵抗素子R221とチップ右端のDAC800-8の基準電流源2034-8の抵抗素子R228が、ウィルソン定電流源2031の抵抗素子R211、R212と近くなるようにレイアウトされている。

また、DACに供給する基準電流源の抵抗素子を左から右に1つおきに割り当てて行き、右から左に1つおきに戻ってくるように割り当てている。

このようにレイアウトすることにより、ドライバIC内の隣接したDAC間の輝度の差を小さくしたままで、ドライバICの左端とドライバICの右端に対応した部分の輝度の差も小さくできる。その結果、たとえば図12に示すように、ディスプレイパネル102を長手方向（図4中、横方向）に分割して駆動するドライバ間の輝度段差を小さくすることができる。

図11Bも、好適なレイアウト例を示している。

図11Bのレイアウトが図11Aと異なる点は、各々の抵抗素子を、たとえば1/2の値の2つの抵抗素子で構成して、いわゆる襷がけにレイアウトした点にある。

ウィルソン定電流源 2031 の抵抗素子 R211、R212 を纏がけにレイアウトすることにより、ウィルソン定電流源 2031 のばらつきを小さくすることができる。

同様に、ドライバ IC 左端の DAC800-1 の基準電流源の抵抗 R21 とドライバ右端の DAC800-8 の基準電流源の抵抗 R28 を纏がけにレイアウトすることにより、ドライバ IC の左端とドライバ IC の右端に対応した部分の輝度のばらつきを小さくすることができる。他の抵抗素子も、これらに合わせて纏がけにレイアウトする。

また、好適には、トランジスタの配置も図 11A または図 11B に示した抵抗素子のレイアウトと同じような順番にレイアウトすることが望ましい。図 11C は、比較のために悪い例を示している。

図 11C では、ドライバ IC チップ左端の DAC800-1 の基準電流源 2034-1 の抵抗素子 R221 とウィルソン定電流源 2031 の抵抗素子 R211、R212 に近いが、チップ右端の DAC800-8 の基準電流源 2034-8 の抵抗素子 R228 は遠いため、ドライバ IC 内で隣接した DAC 間の輝度の差が小さくても、ドライバの左端とドライバの右端に対応した部分の輝度の差が大きくなってしまう。このため、ドライバを複数個並べた場合、ドライバ間で輝度段差が発生しやすくなる。

図 13A～図 13H は、基準電流 IREF のドライバ IC 間の分配動作の説明するための図である。

本ディスプレイデバイス 100 においては、基準電流 IREF の各ドライバ IC（データ線ドライバ）への分配は、図 13A～図 13H に示すように、垂直ブランキング期間 TBLK に行い、各ドライバ IC 101-1～101-n では、カレントサンプリング回路 202 にサンプルホールドした電流を実質的な基準電流として用いる。

たとえば大型のディスプレイパネルの場合、マスタの基準電流の配線はディス

プレイパネル上を長く引き回されることになる。このため、デジタル信号とのクロストークや電源系のインピーダンスの存在により、デジタルノイズが重畳し易く（かぶりやすく）なっている。たとえば画像データの転送に伴って発生したデジタルノイズがマスタの基準電流にかぶってしまうと、大きなデジタルノイズが発生する特定のパターンを表示したときに、ノイズによる輝度ばらつきが発生するなどの問題がある。

通常、垂直ブランキング期間は画面上には表示されないので、画像データの値を固定することでデジタルノイズの発生を抑制することができる。

この期間に基準電流の各データ線ドライバへの分配を行うことで、ノイズがかぶらない同じ値の基準電流を分配することができる。

垂直ブランキング期間後は、パネル上を引き回された基準電流を直接用いずに、各ドライバIC 101-1~101-nの基準電流源回路200-1~200-nのカレントサンプリング回路202にサンプルホールドした電流を各ドライバICの基準電流として用いる。この方式により、上記のノイズの問題を解消することができる。

また、垂直ブランキング期間後は、各ドライバICの基準電流をサンプルホールドする回路が全てオフして共通の基準電流配線の電位が変動してしまう。そのため、好適には、カレントサンプリング回路202のダミー回路を設けて、共通の基準電流配線の電位変動を抑制することが望ましい。

図14は、ドライバIC間に分配するための基準電流配線のシールドおよび安定化方法を説明するための図である。

本ディスプレイデバイス100では、マスタの基準電流IREFの配線はシールド用の電源配線の間を通す。

また、多層基板の場合には、シールド用の電源層の上を走らせる（配線する）。シールド用の電源としては、基準電流源回路200内に設けられたカレントサンプリング回路202を構成するたとえば第1電流メモリ2021において、前

述したように、ダイオード接続するトランジスタM211、M212がnチャネルMOS（NMOS）の場合には、アナログ系の接地電圧源GNDaに接続する。

ダイオード接続するトランジスタM211、M212がpチャネルMOS（PMOS）の場合には、アナログ系の電源電圧源VDDaに接続する。

データ線ドライバICには多数のデジタル信号が入力する。マスクの基準電流IREFの配線とこれらのデジタル信号配線の間でクロストークがあると、カレントサンプリング回路202に流れ込む電流はデジタル信号が変化してから数百ns～数μsの間変動してしまう。変動しているときに電流メモリでホールドしてしまうと、ディスプレイパネルを分割して駆動しているデータ線ドライバ毎の輝度段差が発生してしまう。

このため、マスクの基準電流の配線はシールド用の電源配線の間を通して、デジタル信号配線とのカップリング容量Ccrossが極力付かないようにする。

また、多層基板の場合には、マスクの基準電流IREFの配線はシールド用の電源層の上を走らせることで配線容量Csの値を大きくして、クロストークによる変動ΔVcrossを小さくする。

$$\Delta V_{cross} = (V_{IH} - V_{IL}) \times (C_{cross} / C_s) \times N_{dig}$$

$$\Delta I / I \approx 2 \Delta V_{cross} / V_{eff}$$

… (7)

ここで、Veffは電流メモリのキャパシタにホールドされた実効的な電圧Veff = Vgs - Vthである。

さらに、本ディスプレイデバイス100では、既に述べたように、垂直ブランキング期間に画像データの値を固定して、クロストークの量を減らして基準電流の分配を行う。好適には、デジタルデータの転送には、小振幅の転送技術や小

振幅で差動の転送技術（LVDS）を用いる。

たとえば第1電流メモリ2021において、前述したようにダイオード接続するトランジスタM211、M212がNMOSの場合には、アナログ系の接地GNDaを基準としてIDSが決まるので、キャパシタC211、C212の接地端子は接地電圧源GNDaに接続する。

ダイオード接続するトランジスタM211、M212がPMOSの場合には、アナログ系の電源電圧源VDDaを基準としてIDSが決まるので、キャパシタC211、C212の接地端子は電源電圧源VDDaに接続する。

このため、シールド用の電源配線もキャパシタC211、C212の接地端子と同じように、NMOSの電流メモリの場合にはアナログ系の接地電圧源GNDaを使用して、PMOSの電流メモリの場合にはアナログ系の電源電圧源VDDaを使用する。

逆の極性の電源をシールドに用いてしまうと、アナログ系の接地電圧源GNDaや電源電圧源VDDaといえども、数十mV以上のノイズを持っており、電流メモリがサンプルホールドするときの精度に影響してしまう。

画像データが転送されている間は、ディスプレイパネル102上の各ドライバが高い周波数で動作している。このため、電源系のインピーダンスの存在により、各ICの電源レベルは別々に変動している。

上述した例のように、ドライバIC101-1からマスタの基準電流を出力して、ドライバIC101-nで受け取ったとすると、ドライバIC101-nにとっては、ドライバIC101-1のGNDaとドライバIC101-nのGNDaのレベル差がノイズとして基準電流にオーバーラップして見えてしまう。

カレントサンプリング回路202を設けたことにより、接地電圧源GNDaのレベルが変動しても電流メモリのキャパシタC211、C212によりゲート電圧も一緒に変動して、結局、トランジスタM211、M212のゲートソース間電圧は変動しないので、安定した基準電流をドライバ内に供給することができる。

図15は、本実施形態に係る基準電流源回路の第2の構成例を示すブロック図である。

本基準電流源回路200Bが図7の基準電流源回路200Aと異なる点は、定電流源回路を設ける代わりに、基準電流IREFは、たとえばディスプレイパネル102に別途設けた定電流発生回路や電流出力型DACなどの電流源から、各々のドライバIC（本実施形態では101-1～n）に供給するようにした。

その他の構成、機能は、図7の回路と同様である。

なお、カレントミラー回路の代わりに、複数個のカレントサンプリング回路に接続するように構成することも可能である。

以上、基準電流源回路200の具体的な構成および機能について詳細に説明したが、以下、ドライバIC101の残りの他の構成要素の機能について説明する。

テスト回路1000は、入力信号TMODEおよびTCLKに応じて、回路全体の動作をテストして、該当する回路のテスト出力をTOUTに出力する。

制御回路300は、方向制御信号DIR、リセット信号RESET、ロードパルスLOAD、ラッチパルスLATCHおよびクロック信号MCLKに応じて、書き込み回路400、フラグ用双方向シフトレジスタ500および制御信号発生回路700-1～700-(m/2)にそれぞれ駆動クロック信号や制御信号を出力する。

書き込み回路400は、制御回路300からの駆動クロック信号や制御信号に基づき、入力されるmビットの画像データDin[m-1, 0]をラッチして、好適にはシリアル・パラレル変換により動作周波数を低くして、画像データ用レジスタアレイ600に出力する。

フラグ用双方向シフトレジスタ500は、方向制御信号DIRや制御回路300から入力される駆動クロック信号や制御信号に従って、シフトレジスタの両端

からそれぞれ入力されるフラグ信号（パルス信号）START/NEXTとNEXT/STARTを左または右の何れかの方向にシフトする。シフトしたフラグ信号を画像データ用レジスタアレイ600に供給し、書き込み回路400から入力される画像データを書き込むレジスタアレイの位置（アドレス）を選択する。

画像データ用レジスタアレイ（画像用メモリ）600は、たとえばダブルバッファ型のレジスタから構成されており、書き込み回路400から入力される画像データを前段のレジスタで保持する。ラッチパルスLATCHの入力に応じて保持した画像データを後段のレジスタに転送し、制御信号発生回路700-1, 700-(m/2)から入力されるチャンネル選択信号に応じて、デジタル・アナログ変換回路DAC800-1~800-mに順次出力する。

DAC800-1~800-mは、電流出力型デジタル/アナログ変換回路である。すなわち、これらの変換回路は、画像データ用レジスタアレイ600から順次入力される画像データに対応した電流信号を発生し、電流出力回路900-1~900-mを構成するカレントサンプリング回路に時分割で出力する。

電流出力回路900-1, 900-2, ..., 900-mは、前述した本発明に係るカレントサンプリング回路および高耐圧または中耐圧の電流出力トランジスタによって構成されている。これらの電流出力回路は、デジタル・アナログ変換回路DAC800-1, 800-2, ..., 800-mから入力される画像データに対応した変換電流をサンプリングして保持し、そして、保持した電流をLOAD信号の入力に応じて複数の出力端子に出力する。

本実施形態の電流出力型ドライバIC101は、外部から供給される制御信号に基づき、入力される画像データDin[m-1, 0]を保持する。保持した画像データをチャンネル選択信号に従ってDAC800-1~800-mに出力する。

デジタル・アナログ変換回路DAC800-1~800-mにより、基準電流源回路200から供給された基準電流IREFおよび入力される画像データに応じた電流が生成されて電流出力回路900-1~900-mに供給される。そ

して、電流出力回路 $900-1 \sim 900-m$ により、デジタル・アナログ変換回路 $DAC800-1 \sim 800-m$ から供給された電流が保持され、保持した電流が $LOAD$ 信号の入力に応じて複数の出力端子に出力され、図示しないディスプレイパネル上の複数のデータ線に供給される。

図16は、本実施形態の電流出力回路の一構成例を示す回路図である。

電流出力回路 900 は、図16に示すように、それぞれ複数のカレントサンプリング回路からなる第1のバンク 901 、第2のバンク 902 およびディスプレイパネル 102 を駆動するのに必要な電圧に足りる中耐圧または高耐圧の所定の耐圧を有する複数のトランジスタからなる電流出力トランジスタアレイ 903 により構成されている。

図16に示すように、第1のバンク 901 と第2のバンク 902 に、出力電流のチャンネルの数だけそれぞれ複数のカレントサンプリング回路 $901-1 \sim 901-n$ 、 $902-1 \sim 902-n$ が配置されている。

第1のバンク 901 の各チャンネルのカレントサンプリング回路 $901-1 \sim 901-n$ は、第2のバンク 902 のそれぞれのチャンネルのカレントサンプリング回路 $902-1 \sim 902-n$ に対応して配置されている。

さらに、第1のバンク 901 と第2のバンク 902 の各チャンネルのカレントサンプリング回路 $901-1 \sim 901-n$ 、 $902-1 \sim 902-n$ は、電流出力トランジスタアレイ 903 の各チャンネルの所定の耐圧を有するトランジスタ $903-1 \sim 903-n$ に対応して配置されている。

たとえば、第1のバンク 901 において、1チャンネル目のカレントサンプリング回路 $901-1$ と第2のバンク 902 の1チャンネル目のカレントサンプリング回路 $902-1$ 、並びに電流出力トランジスタアレイ 903 における1チャンネル目の所定の耐圧を有するトランジスタ $903-1$ に対応して配置されている。

カレントサンプリング回路 $901-1$ の電流出力端子 $IOUT$ とカレントサンプリング回路 $902-1$ の電流出力端子 $IOUT$ が所定の耐圧を有するトランジ

スタ 903-1 のソースに共通に接続されている。

同様に、第1のバンク 901 の n チャンネル目のカレントサンプリング回路 901- n と第2のバンク 902 の n チャンネル目のカレントサンプリング回路 902- n 、並びに電流出力トランジスタアレイ 903 における n チャンネル目の所定の耐圧を有するトランジスタ 903- n に対応して配置されている。

カレントサンプリング回路 901- n の電流出力端子 IOUT とカレントサンプリング回路 902- n の電流出力端子 IOUT が所定の耐圧を有するトランジスタ 903- n のソースに共通に接続されている。

電流出力トランジスタアレイ 903 において、所定の耐圧を有するトランジスタ 903-1, 903-2, ..., 903- n のドレインは、それぞれ出力パッド 904-1, 904-2, ..., 904- n に接続されている。

第1のバンク 901 および第2のバンク 902 のすべてのカレントサンプリング回路 901-1 ~ 901- n 、902-1 ~ 902- n の電流入力端子 IIN は、図16に示していない電流出力型 DAC の電流出力端子に接続されている。第1のバンク 901 のカレントサンプリング回路 901-1 ~ 901- n と第2のバンク 902 のカレントサンプリング回路 902-1 ~ 902- n は、制御信号 OE0、OE1 に応じて交互に書き込みモードと、読み出しモードに制御される。

これらのカレントサンプリング回路 901-1 ~ 901- n 、902-1 ~ 902- n により、DAC の出力電流に応じた駆動電流を電流出力トランジスタ 903-1, 903-2, ..., 903- n を介して負荷側である図示しないデータ線に出力する。

本実施形態の電流出力回路 900 は、たとえば、有機 EL 素子を駆動する場合、10V ~ 20V 程度の電圧で、DAC の出力電流に応じた駆動電流を有機 EL 素子の供給する必要がある。

このため、各出力チャンネルごとに1個の中耐圧または高耐圧の所定の耐圧を有

するトランジスタ 903-1~903-n を設けて、カレントサンプリング回路からの出力電流をパッド 904-1~904-n を介して、各チャネルの有機 EL 素子に出力することで高電圧に対応している。

図 17 は、電流出力回路 900 の第 1 および第 2 のバンク 901, 902 に採用されるカレントサンプリング回路 901-1~901-n, 902-1~902-n の具体的な構成例を示す回路図である。

本電流出力回路 900 のカレントサンプリング回路は、図 17 に示すように、PMOS トランジスタ M901, M902、スイッチング素子 SW901~SW906、キャパシタ C901, C902、2 入力 NAND ゲート NG901~NG903、およびインバータ INV901~905 を有している。

図 17 に示すように、電流出力回路 900 のカレントサンプリング回路において、NAND ゲート NG901 とインバータ INV901 の出力信号により、スイッチング素子 SW901 と SW905 のオン/オフが制御され、NAND ゲート NG902 とインバータ INV902 の出力信号により、スイッチング素子 SW902 と SW906 がオン/オフが制御される。

また、インバータ INV903 の出力信号により、スイッチング素子 SW903 がオン/オフが制御され、インバータ INV905 の出力信号により、スイッチング素子 SW904 がオン/オフが制御される。

なお、図 17 に示すように、スイッチング素子 SW901, SW902, SW905 と SW906 は、PMOS トランジスタにより構成され、スイッチング素子 SW903 と SW904 は、NMOS トランジスタにより構成されている。

NAND ゲート NG901 の入力端子にそれぞれクロック信号 CK1 とインバータ INV903 の出力信号が入力され、NAND ゲート NG902 の入力端子にそれぞれクロック信号 CK2 とインバータ INV903 の出力信号が入力される。

NAND ゲート NG903 の入力端子にそれぞれ選択信号 SEL と書き込みイ

ネーブル信号WEが印加される。

インバータINV901の入力端子がNANDゲートNG901の出力端子に接続され、インバータINV902の入力端子がNANDゲートNG902の出力端子に接続される。インバータINV903の入力端子がNANDゲートNG903の出力端子に接続されている。

また、インバータINV904の入力端子に、出力イネーブル信号OEが印加される。インバータINV905の入力端子がインバータINV904の出力端子に接続されている。

本カレントサンプリング回路において、電流書き込み（サンプリング）のとき、選択信号SELと書き込みイネーブル信号WEがともにハイレベルに保持されるとき、インバータINV903の出力がハイレベルとなり、スイッチング素子SW903がオンする。このとき、クロック信号CK1とCK2がハイレベルに保持されるので、NANDゲートNG901とNG902の出力がハイレベル、インバータINV901とINV902の出力がローレベルにそれぞれ保持される。このとき、スイッチング素子SW901、SW902とSW903がオンし、その他のスイッチング素子SW904、SW905とSW906がオフする。これにより、トランジスタM901とM902のゲート電圧がそれぞれキャパシタC901の電極とC902の電極に入力する。

電流書き込み終了後、クロック信号CK1とCK2が順次ローレベルに切り換わる。これに応じて、スイッチング素子SW901とSW902が順次オフ状態に切り換わる。一方、スイッチング素子SW901がオフするに伴って、スイッチング素子SW905がオンし、スイッチング素子SW902がオフするに伴って、スイッチング素子SW906がオンする。

そして、書き込みイネーブル信号WEがローレベルに切り換わると、スイッチング素子SW903がオフする。このとき、キャパシタC901とC902により、トランジスタM901とM902のゲート電圧がそれぞれ保持される。

電流読み出し（電流出力）のとき、出力イネーブル信号OEがハイレベルに保持される。これに応じて、スイッチング素子SW904がオンするので、キャパシタC901とC902に保持されている電圧により、トランジスタM901とM902がそれぞれのゲート電圧によって決まる飽和電流を流し、この電流が出力端子T_{out} から負荷側に出力される。

本カレントサンプリング回路のPMOSトランジスタM902は、カスコードのトランジスタとして動作するので、出力電流精度の改善および負荷側のバラツキによる影響を低減できる。

本カレントサンプリング回路において、好適には、スイッチング素子SW905を構成するMOSトランジスタのチャネル幅はスイッチング素子SW901を構成するMOSトランジスタのチャネル幅の約1/2に形成される。または、3本のゲートのうち、1本をスイッチング素子SW905として使用して2本をスイッチング素子SW901として使用する。なお、スイッチング素子SW902とSW906を構成するMOSトランジスタについても同様である。

電流書き込みからホールド状態に移る時、スイッチング素子SW901とSW902がオフする時に発生するチャージ電荷をキャンセルすることが正確な書き込み電流をホールドするために重要である。スイッチング素子SW901やSW902がオフするより先にスイッチング素子SW905やSW906がオンしてしまうと、キャンセルする効果が非常に小さくなってしまう。このため、スイッチング素子SW901とSW902を駆動するNAND出力より後のインバータの出力でスイッチング素子SW905とSW906を駆動する。

本カレントサンプリング回路によれば、半導体集積回路化した場合に問題になるスイッチング動作の影響も改善でき、また、電流書き込み時と電流読み出し時の電流値は十分な精度で一致して、かつ、出力負荷側の回路のばらつきによる影響が抑制される。

以上のように、各カレントサンプリング回路において、選択信号SELと書き

込みイネーブル信号WEがアクティブ状態（たとえば、ハイレベル）のとき、クロック信号CK1とCK2により設定したタイミングでカレントサンプリング回路のキャパシタC901とC902にDACからの出力電流に応じたゲート電圧が取り込まれて、保持される。そして、読み出しイネーブル信号OEがアクティブ状態（たとえ、ハイレベル）のとき、キャパシタC901とC902に保持されているゲート電圧に応じた電流が出力される。

このため、本実施形態の電流出力回路900によって、各カレントサンプリング回路により、DACの出力電流に基づき、高精度の駆動電流が各チャネルの有機EL素子に供給される。

図18A～図18Hは、図6の電流出力型ドライバICの動作を示すタイミングチャートである。以下、図16および図18A～図18Hを参照しつつ、図6の電流出力型ドライバICの動作について説明する。

図16に示すように、第1のバンク901と第2のバンク902のカレントサンプリング回路は、交互にイネーブル信号OE0とOE1により、書き込み動作と読み出し動作が制御される。すなわち、第1のバンク901の各カレントサンプリング回路の書き込みイネーブル信号WEとして、イネーブル信号OE0が入力され、読み出しイネーブル信号OEとして、イネーブル信号OE1が入力される。逆に、第2のバンク902の各カレントサンプリング回路において、書き込みイネーブル信号WEとして、イネーブル信号OE1が入力され、読み出しイネーブル信号OEとして、イネーブル信号OE0が入力される。

このため、第1のバンク901のカレントサンプリング回路が書き込みのとき、第2のバンク902のカレントサンプリング回路が電流を出力し、逆に、第2のバンク902のカレントサンプリング回路が書き込みのとき、第1のバンク901のカレントサンプリング回路が電流を出力する。すなわち、第1のバンク901のカレントサンプリング回路と第2のバンク902のカレントサンプリング回路が交互に書き込みモードと読み出し（電流出力）モードに制御される。

図18A～図18Fに示すように、クロック信号CK1, CK2およびイネーブル信号OE0, OE1は、ラッチパルスLATCHに同期して生成される。なお、ラッチパルスLATCHは、システムによって生成され、制御信号発生回路700-1, 700-(m/2)に供給される。これらの制御信号発生回路700-1, 700-(m/2)により、上述したクロック信号CK1, CK2、イネーブル信号OE0, OE1がそれぞれ生成され、電流出力回路900に供給される。

図18A～図18Fに示すように、ラッチパルスLATCHに同期して、クロック信号CK1, CK2およびイネーブル信号OE0, OE1が生成される。ラッチパルスLATCHの各周期ごとに、イネーブル信号OE0とイネーブル信号OE1が交互にハイレベルとローレベルに保持される。

イネーブル信号OE0がハイレベルのとき、第1のバンク901のカレントサンプリング回路が書き込みを行う。このとき、第1のバンク901のカレントサンプリング回路901-1, 901-2, ..., 901-nにおいて、クロック信号CK1とCK2により設定したタイミングで、キャパシタC901とC902にトランジスタM901とM902のゲート電圧がそれぞれ印加され、保持される。

次のラッチパルスLATCHの周期においてに、イネーブル信号OE0がローレベルに切り換わり、イネーブル信号OE1がハイレベルに切り換わる。このため、第2のバンク902のカレントサンプリング回路が書き込みを行い、第1のバンク901のカレントサンプリング回路が読み出し、すなわち電流出力を行う。

図18Gおよび図18Hに示すように、このとき、たとえば、第1のバンク901のカレントサンプリング回路901-1の電流出力端子IOUTから電流が出力される。

上述したように、本実施形態の電流出力回路900において、イネーブル信号

OE0とOE1に応じて、第1のバンク901のカレントサンプリング回路と第2のバンク902のカレントサンプリング回路が交互に書き込みモードと読み出しモードに制御され、書き込みモードのときカレントサンプリング回路はDACからの出力電流に応じて書き込みを行い、そして、読み出しモードのとき書き込みモード動作時に保持された電流を出力するので、DACの出力電流に応じた電流を高精度で負荷側に供給する。

図19は、図6の電流出力型ドライバIC101におけるレジスタアレイ600（画像メモリ）の一構成例を示す回路図である。

なお、図19に示す回路例は、図6にDAC1個分に対応するレジスタアレイの部分回路である。以下の説明では、便宜上この部分回路をレジスタアレイとし、符号600を付して説明する。

図19に示すように、レジスタアレイ600を構成する単位セルは、たとえば、トランスマッションゲートを持つD型ラッチ回路が2段接続したダブルバッファ型のラッチ回路602-11, 602-12, ..., 602-1n~602-m1, 602-m2, ..., 602-mnである。

ラッチ回路602-11~602-mnは、DAC1個の出力に接続するカレントサンプリング回路のチャンネル数nをワード数として、画像データのビット幅mをビット幅としたn×mのアレイを構成している。

各ラッチ回路602-11~602-mnにおいて、前段のラッチ回路のトランスマッションゲートは、フラグレジスタ500-1, 500-2, ..., 500-iの出力WD1, WD2, ..., WD iによってオン/オフされる。

このような構成においては、たとえばスタートパルス信号STARTがフラグレジスタ500-1に入力される。また、画像データが書き込み回路を介してドライバIC内部のデータバスDX0~DXm-1, DY0~DYm-1およびDZ0~DZm-1に出力される。

スタートパルス信号STARTがフラグレジスタ500-1, 500-2, ...

、 $500-i$ によって順次シフトされることにより、たとえば、3チャンネル分ずつ画像データが2段接続したダブルバッファ型のラッチ回路のうち、前段のラッチ回路に書き込まれる。

画像データの書き込みが終わると、ラッチパルスLATCHの入力により、それぞれのダブルバッファ型のラッチ回路において、前段のラッチ回路に保持されている画像データが後段のラッチ回路に出力される。後段のラッチ回路の出力部分は選択回路になっていて、各選択回路の出力が共通のデータバス606[m-1, 0]の該当するビット線に接続されている。データバス606[m-1, 0]がバッファ604の入力側に接続されている。バッファ604の出力端子がDACのデコーダの入力端子に接続されている。すなわち、ダブルバッファ型のラッチ回路の出力がバッファ604を介して、DACのデコーダに入力される。

ダブルバッファ型のラッチ回路602-i1, 602-i2, ..., 602-inのうち、どのラッチ回路の出力がバッファ604に出力されるかは、それぞれのダブルバッファ型ラッチ回路の後段の選択回路に入力される選択信号SEL1, SEL2, ..., SELnによって制御される。

図16に示すように、選択信号SEL1, SEL2, ..., SELnがバッファ605に入力され、バッファ605によってバッファされた選択信号がそれぞれのダブルバッファ型ラッチ回路602-11, 602-12, ..., 602-1n ~ 602-m1, 602-m2, ..., 602-mnに出力される。

また、図20は、図6のレジスタアレイ600、制御信号発生回路700、DAC800および電流出力回路900を含む部分回路の構成を示すブロック図である。

図20の構成において、時分割でレジスタアレイ600からデジタルの画像データを読み出して、DAC800によって画像データに応じた電流が出力され、逐次電流出力回路900に書き込むという一連の動作が行われる。制御信号発生回路700は、この一連の動作を制御するための制御信号を発生し、電流出力

型駆動回路の各構成部分に出力する。

たとえば、DAC800のデコーダの入力側には、 n チャンネル分のレジスタアレイ603-1, 603-2, ..., 603- n が選択回路および出力バッファ604を介して接続されている。DAC800の出力側には、 n チャンネル分の電流I01, I02, ..., I0 n を出力する電流出力回路900が接続されている。どのチャンネルの画像データをレジスタアレイ600から選択して、DAC800に出力するかは、制御信号発生回路700によって生成した選択信号SEL1, SEL2, ..., SEL n によって制御される。選択されたチャンネルの画像データがレジスタアレイ600からDAC800のデコーダに入力され、DAC800により電流出力に変換され、電流出力回路900に書き込まれる。

電流出力回路900において、図20に示すように、第1のバンク901のそれぞれのカレントサンプリング回路と第2のバンク902のそれぞれのカレントサンプリング回路は、制御信号発生回路700から入力される交互にハイレベルとローレベルで切り換わるイネーブル信号OE0とOE1に応じて、書き込みモードと読み出しモードを繰り返し、DAC800から出力された電流を取り込み、さらに電流出力トランジスタを介して図示しない画像表示素子、例えば、有機EL素子に出力する。

図21A～図21Gは、図20の各構成部分の動作を示すタイミングチャートである。以下、図20および図21A～図21Gを参照しつつ、この回路群の基本動作について説明する。

各動作周期において、ラッチパルスLATCHの入力により、制御信号発生回路700がクリアされ、動作がスタートする。

図21A～図21Gに示すように、ラッチパルスLATCHに続いて、制御信号発生回路700から選択信号SEL1, SEL2, ..., SEL n が順番に生成される。また、それぞれの選択信号とともに、各チャンネルに供給されるクロック信号CK11, CK12, CK21, CK22, ..., CK1 n , CK2 n も順番

に生成される。

選択信号SEL1, SEL2, ..., SELnがレジスタアレイ600に供給され、これに応じてレジスタアレイ600に保持されている各チャンネルの画像データが順次読み出されてディジタル・アナログ変換回路DAC800のデコーダに入力される。

DAC800によって、入力される画像データが逐次電流出力に変換され、電流出力回路900に出力される。電流出力回路900において、第1のバンク901と第2のバンク902のうち、イネーブル信号OE0とOE1により、一方が書き込みモードに制御され、他方が読み出しモードに制御される。DAC800から出力される電流が、チャンネル選択信号SEL1, SEL2, ..., SELnに応じて、書き込みモード側のバンクにある各カレントサンプリング回路に順番に書き込まれる。

なお、カレントサンプリング回路には、チャンネル選択信号と同時に、第1のスイッチ回路を先にオフさせるための第1のクロック信号群CK11, CK12, ..., CK1nと、第1のスイッチ回路に遅れて第2のスイッチ回路をオフさせるための第2のクロック信号群CK21, CK22, ..., CK2nが供給される。これらの選択信号は、チャンネルごとに揃えないで、数種類の選択信号を組み合わせる形式で配線本数を減らしても良いし、また、クロック信号は、チャンネルごとに揃えないで、2〜3組の信号を共用してもよい。

図21A〜図21Gに示すように、外部からロードパルスLOADが入力されると、書き込みモードと読み出しモードの切り換えを制御するOE0とOE1の信号が反転して、交互にローレベルとハイレベルで切り替わる。イネーブル信号OE0がローレベルでイネーブル信号OE1がハイレベルのときには、第1のバンク901のカレントサンプリング回路が電流読み出しモードで動作し、電流の出力が行い、第2のバンク902のカレントサンプリング回路が書き込みモードで動作し、DACからの出力電流を取り込む。一方、イネーブル信号OE0がハ

イレベルでイネーブル信号OE1がローレベルのときは、第2のバンク902のカレントサンプリング回路が読み出しモードで動作し、各カレントサンプリング回路からホールドした電流が出力され、第1のバンク901のカレントサンプリング回路が書き込みモードで動作し、DACからの出力電流を取り込む。

以上のように、十分な電流出力精度を有する電流サンプリング（カレントサンプリング）回路を用いて、カレントサンプリング回路に時分割で電流書き込みを制御する制御信号発生回路を設け、さらに電流出力型のD/A変換回路の出力電流を時分割で複数のカレントサンプリング回路に書き込む方式をとることで、D/A変換回路の個数を低減し、多ビットのDACをレイアウトすることが可能となる。

以上説明したように、本第1の実施形態によれば、カレントサンプリング回路を用いることにより、マスターの基準電流を共用できるので、ディスプレイを分割駆動しているドライバ間の輝度段差を十分小さくすることができ、また、ディスプレイパネル上の基準電流の配線本数を削減することができる。

また、垂直ブランキング期間に画像データの信号を固定して各データ線ドライバへの分配を行うことで、基準電流へのデジタル信号のクロストークの影響を大幅に小さくすることができる。また、画像データを転送しているときには、各ドライバの基準電流源回路に設けたカレントサンプリング回路にホールドした基準電流を用いることにより、動作中のノイズの影響を小さくすることができる。

以上のことから、本実施形態に係るディスプレイデバイスにより大型で高階調の有機ELディスプレイを実現できる。

<第2実施形態>

図22は、本発明に係る有機ELディスプレイデバイスの第2の実施形態を示す構成図である。

本第2の実施形態が上述した第1の実施形態と異なる点は、ディスプレイパネル102Aを図中長手方向（横方向）に分割し、さらに上下にも分割して、上下

両方からドライバIC 101-1~101-n、および101-(n+1)~101-(2n)により駆動するようにした点にある。

本第2の実施形態においては、ディスプレイパネル102Aは、図中上半分がn個のドライバIC 101-1~101-nによって分割して駆動され、下半分が同じくn個のドライバIC 101-(n+1)~101-(2n)によって分割して駆動される。

この構成は、大型のディスプレイの場合に好適である。

本第2の実施形態においても、ドライバIC 101-1~101-(2n)の順番に基準電流を取り込むため、好適には、入力端子TREFSTARTと出力端子REFNEXTにより基準電流取り込み用のフラグを移動していくため、これら入出力端子が順番に接続されている。

このような方法をとらずに、サンプリング期間を示す制御端子を設けて、パネル上に設けた制御用ICにより集中して制御するように構成することも可能である。

また、本ディスプレイデバイス100Aは、第1の実施形態と同様に、複数のドライバIC 101-1~101-n、101-(n+1)~101-(2n)で分割してディスプレイパネル102を駆動するため、画像データも複数のドライバICに順番に書き込んでいく。

このため、ドライバIC間で書き込み位置を示すフラグを引き継ぐための入出力端子TSTART/NEXT、TNEXT/STARTが設けられている。

そして、初段のマスタドライバIC 101-1の入出力端子TSTART/NEXTは、画像データの転送開始を示すパルス信号STARTの入力端に接続され、入出力端子TNEXT/STARTが次段のドライバIC 101-2の入出力端子TSTART/NEXTに接続されている。ドライバIC 101-2の入出力端子TNEXT/STARTが次段の図示しないドライバIC 101-3の入出力端子TSTART/NEXTに接続されている。

以下同様にして、ドライバIC101-(2n-1)の入出力端子TNEXT/STARTが最終段のドライバIC101-(2n)の入出力端子TSTART/NEXTに接続されている。

このような構成において、たとえば図示しない書き込み方向制御信号DIRにより、DIR=H（論理ハイレベル）のときは、入出力端子TSTART/NEXTはSTART入力として機能して、TNEXT/START端子はNEXT出力として機能して、図中ドライバICの左から右へフラグが移動して画像データが書き込まれる（ディスプレイパネルの上側のドライバIC101-1～101-n）。

また、DIR=L（論理ローレベル）のときは、入出力端子TNEXT/STARTがSTART入力として機能して、入出力端子TSTART/NEXTはNEXT出力として機能して、図中ドライバICの右から左へ（ディスプレイパネルで左から右へ）フラグが移動して画像データが書き込まれる（ディスプレイパネルの下側のドライバ101-(n+1)～101-(2n)）。

ここで、図22のディスプレイパネル100Aでの基準電流のサンプリング引継ぎ動作について、図23A～図23Nのタイミングチャートに関連付けて説明する。なお、以下の動作の説明はあくまでも一例で、パネル上に設けた制御用ICにより、集中して制御するように構成することも可能である。

この場合、ディスプレイパネルの上側のドライバIC101-1～101-nは、図示しない書き込み方向制御信号DIRがDIR=H（論理ハイレベル）で供給されて、入出力端子TSTART/NEXTはSTART入力として機能して、入出力端子TNEXT/STARTはNEXT出力として機能する。

これに対して、ディスプレイパネルの下側のドライバ101-(n+1)～101-(2n)は、図示しない書き込み方向制御信号DIRがDIR=L（論理ローレベル）で供給されて、入出力端子TSTART/NEXTはNEXT入力として機能して、入出力端子TNEXT/STARTはSTART出力として機

能する。

ここで、図23Aに示すように、水平同期信号HSYNCの(下向き)パルスが入力した後、図23Bおよび図23Eに示すように、ドライバIC101-1の入出力端子TSTART(／NEXT)とドライバIC101-(n+1)の入出力端子T(NEXT／)STARTに画像データの転送開始を示すパルス信号STARTパルス=START(1)パルス=START(n+1)が入力される。

ドライバIC101-1の中をフラグが移動してドライバIC101-1の画像データ用のメモリに書き込み終わると、ドライバIC101-1の入出力端子TNEXT(／START)からドライバIC101-2の入出力端子TSTART(／NEXT)へドライバIC101-2の書き込み開始を示すパルス信号START(2)が出力される。これにより、ドライバIC101-2にフラグが移動してドライバIC101-2の画像データ用のメモリに書き込まれて行く。

同様に、ドライバIC101-(n+1)の中をフラグが移動してドライバIC101-(n+1)の画像データ用のメモリに書き込み終わると、ドライバIC101-(n+1)の入出力端子TSTART(／NEXT)からドライバIC101-(n+2)の入出力端子T(NEXT／)STARTへドライバIC101-(n+2)の書き込み開始を示すパルス信号START(n+2)が出力される。これにより、ドライバIC101-(n+2)にフラグが移動してドライバIC101-(n+2)の画像データ用のメモリに書き込まれて行く。

同様にして、パルス信号START(3)～START(n)、START(n+3)～START(2n)が次々に出力されて、各ドライバIC101-3～101-n、101-(n+3)～101-(2n)の画像データ用のメモリに画像データが書き込まれる。

また、図23Hに示すように、ドライバIC101-1の入力端子TREFS

TARTに基準電流IREFの分配開始を示すパルス信号REFSTARTが入力される。

パルス信号REFSTARTは、図23Bおよび図23Hに示すように、パルスSTART(1)にオーバーラップするように入力される。ドライバIC101-1は、パルス信号START(1)を駆動クロックとしてパルス信号REFSTARTをラッチして、1サイクル後のパルス信号START(1)の立下りエッジで1サイクル幅の信号REFNEXT(1)パルスを出力端子TREFNEXT端子から出力する。ドライバIC101-1は、パルス信号REFNEXT(1)パルス発生時に基準電流IREFを基準電流入力端子IREFINから取り込む。

ドライバIC101-2の入力端子TREFSTARTにパルス信号REFNEXT(1)が入力される。パルス信号REFNEXT(1)は、図23Cおよび図23Iに示すように、パルス信号START(2)にオーバーラップしている。ドライバIC101-2は、パルス信号START(2)を駆動クロックとしてパルス信号REFNEXT(1)をラッチして、1サイクル後のパルス信号START(2)の立下りエッジで1サイクル幅のパルス信号REFNEXT(2)を出力端子TREFNEXTから出力する。ドライバIC101-2は、パルス信号REFNEXT(2)発生時に基準電流IREFを基準電流入力端子TIREFINから取り込む。

同様にして、REFNEXT(3)～REFNEXT(2n)のパルスが各ドライバIC101-3～101-(2n-1)から順次に出力されて、各ドライバIC101-3～101-(2n)に基準電流IREFが順番に取り込まれて行く。

本第2の実施形態においては、その他の構成および機能は上述した第1の実施形態と同様である。

本第2の実施形態によれば、上述した第1の実施形態の効果と同様の効果を得

られることはもとより、大型のディスプレイに好適に適用できる利点がある。

産業上の利用可能性

本発明の電流出力型駆動回路は、分割駆動しているドライバ間の輝度段差を十分小さくすることができ、また、ディスプレイパネル上の基準電流の配線本数を削減でき、基準電流へのデジタル信号のクロストークの影響を大幅に小さくでき、また、動作中のノイズの影響を小さくすることができることから、大型で高階調の有機ELディスプレイ等に適用可能である。

請 求 の 範 囲

1. 複数の領域に分割して分担された駆動対象に対して駆動電流を出力する電流出力型駆動回路であって、

上記駆動対象の各分担領域に対応して設けられた複数のドライバを有し

、
上記各ドライバは、

供給される基準電流と画像データに応じた上記駆動電流を、上記駆動対象の対応する分担領域に出力する出力手段と、

基準電流入力端子から入力した基準電流をサンプルホールドした後、上記出力手段に供給する基準電流源回路と

を有する

電流出力型駆動回路。

2. 上記基準電流源回路は、制御信号に応じて上記基準電流をサンプルホールドする電流メモリを含むカレントサンプリング回路と、

上記カレントサンプリング回路の電流メモリの上記基準電流の書き込みおよび読み出し動作を制御する制御信号を上記カレントサンプリング回路に出力する制御回路と

を少なくとも有する請求項1記載の電流出力型駆動回路。

3. 上記カレントサンプリング回路は、第1電流メモリおよび第2電流メモリを含み、

上記制御回路は、上記第1電流メモリと第2電流メモリに上記基準電流入力端子から入力する基準電流の書き込みと、書き込んだ基準電流の読み出しを交互に行うように上記制御信号を上記カレントサンプリング回路に出力する

請求項2記載の電流出力型駆動回路。

4. 上記出力手段は、複数の電流出力型のデジタル・アナログ変換回路を

含み、

上記基準電流源回路のカレントサンプリング回路の電流メモリから読み出された基準電流をさらに複製または時分割で分配することで複数の基準電流に増やす手段を、有し、

上記複数の基準電流は、上記複数のデジタル・アナログ変換回路に供給される

請求項 2 記載の電流出力型駆動回路。

5. 上記各ドライバは、入力データに応じて、複数チャネルの電流を出力するドライバであって、

上記入力データを保持するレジスタアレイをさらに有し、

上記基準電流源回路のサンプルホールドした基準電流をさらに複製または時分割で分配することで複数の基準電流に増やす手段を有し、

上記出力手段は、

上記複数の基準電流を受けて、上記レジスタアレイの保持データに応じた電流を出力する複数の変換回路と、

上記変換回路の出力電流に応じて、交互に電流書き込みモードと電流読み出しモードで動作する第 1 群の電流サンプリング回路と第 2 群の電流サンプリング回路とを有する電流出力回路と

を有する

請求項 4 記載の電流出力型駆動回路。

6. 上記入力データは、デジタル画像データであり、

上記画像データの動作が停止している垂直ブランキング期間に基準電流の上記各ドライバへの分配を行う手段を有し、

上記各ドライバは、上記画像データの転送に伴いデジタルノイズが発生している垂直ブランキング期間後においては各ドライバの基準電流源回路に保持した電流を基準電流として用いる

請求項 5 記載の電流出力型駆動回路。

7. 複数の領域に分割して分担された駆動対象に対して駆動電流を出力する電流出力型駆動回路であって、

上記駆動対象の各分担領域に対応して設けられた複数のドライバを有し

上記各ドライバは、

供給される基準電流を上記駆動電流として上記駆動対象の対応する分担領域に出力する出力手段と、

基準電流入力端子から入力した基準電流をサンプルホールドした後、上記出力手段に供給する基準電流源回路と

を有し、かつ、

上記基準電流入力端子が他のドライバの基準電流入力端子と共通の電流配線により接続され、

上記各ドライバの基準電流源回路には、基準電流が時分割で分配される電流出力型駆動回路。

8. 上記各ドライバは、基準電流分配開始を示す信号を受けると、上記基準電流入力端子から上記基準電流を上記基準電流源回路に取り込み、基準電流分配開始を示す信号を次段のドライバ回路に出力する

請求項 7 記載の電流出力型駆動回路。

9. 上記各ドライバは、データメモリを有し、データの書き込み開始を示す第 1 の信号を受けると、入力データを上記データメモリに書き込み、データの書き込み開始を示す上記第 1 の信号を次段のドライバに出力し、かつ、基準電流分配開始を示す第 2 の信号を受けると、上記第 1 の信号に同期して上記基準電流入力端子から上記基準電流を上記基準電流源回路に取り込み、基準電流分配開始を示す上記第 2 の信号を次段のドライバ回路に出力する

請求項 8 記載の電流出力型駆動回路。

10. 上記基準電流源回路は、制御信号に応じて上記基準電流をサンプルホールドする電流メモリを含むカレントサンプリング回路と、

上記カレントサンプリング回路の電流メモリの上記基準電流の書き込みおよび読み出し動作を制御する制御信号を上記カレントサンプリング回路に出力する制御回路と

を少なくとも有する請求項7記載の電流出力型駆動回路。

11. 上記カレントサンプリング回路は、第1電流メモリおよび第2電流メモリを含み、

上記制御回路は、上記第1電流メモリと第2電流メモリに上記基準電流入力端子から入力する基準電流の書き込みと、書き込んだ基準電流の読み出しを交互に行うように上記制御信号を上記カレントサンプリング回路に出力する

請求項10記載の電流出力型駆動回路。

12. 上記出力手段は、複数の電流出力型のデジタル・アナログ変換回路を含み、

上記基準電流源回路のカレントサンプリング回路の電流メモリから読み出された基準電流をさらに複製または時分割で分配することで複数の基準電流に増やす手段を、有し、

上記複数の基準電流は、上記複数のデジタル・アナログ変換回路に供給される

請求項10記載の電流出力型駆動回路。

13. 少なくともマスタとなる上記ドライバの基準電流源回路は、基準電流を生成して上記共通の電流配線に供給する基準電流発生回路を含む

請求項7記載の電流出力型駆動回路。

14. 少なくともマスタとなる上記ドライバの基準電流源回路は、基準電流を生成して上記共通の電流配線に供給する基準電流発生回路を含む

請求項10記載の電流出力型駆動回路。

15. 上記各ドライバは、入力データに応じて、複数チャネルの電流を出力するドライバであって、

上記入力データを保持するレジスタアレイをさらに有し、

上記基準電流源回路のサンプルホールドした基準電流をさらに複製または時分割で分配することで複数の基準電流に増やす手段を有し、

上記出力手段は、

上記複数の基準電流を受けて、上記レジスタアレイの保持データに応じた電流を出力する複数の変換回路と、

上記変換回路の出力電流に応じて、交互に電流書き込みモードと電流読み出しモードで動作する第1群の電流サンプリング回路と第2群の電流サンプリング回路とを有する電流出力回路と

を有する

請求項7記載の電流出力型駆動回路。

16. 上記入力データは、デジタル画像データであり、

上記画像データの動作が停止している垂直ブランキング期間に基準電流の上記各ドライバへの分配を行う手段を有し、

上記各ドライバは、上記画像データの転送に伴いデジタルノイズが発生している垂直ブランキング期間後においては各ドライバの基準電流源回路に保持した電流を基準電流として用いる

請求項15記載の電流出力型駆動回路。

17. 上記基準電流の配線はシールド用の電源配線の上に配置されている

請求項7記載の電流出力型駆動回路。

18. 上記基準電流の配線は、シールド用電源層を含む多層配線の場合、当該シールド用電源層の上層に配置されている

請求項7記載の電流出力型駆動回路。

19. 各ドライバの基準電流をサンプルホールドする回路が全てオフしたとき

に、上記共通の基準電流配線の電位が大幅に変動することを抑制する手段を有する

請求項 7 記載の電流出力型駆動回路。

20. 上記基準電流を複数の基準電流に増やす手段は、入力段に配置された抵抗素子を含む定電流源と、出力段に上記出力手段の出力部に対応するように並列に配置され、抵抗素子を含む複数の基準電流源から構成されたカレントミラー回路を有し、

上記複数の基準電流源のうち両端部に配置される基準電流源の抵抗素子が上記定電流源の抵抗素子の近傍に配置されている

請求項 12 記載の電流出力型駆動回路。

21. 上記基準電流源を構成する抵抗素子を分割して各々が摺がけとなるようにレイアウトされている

請求項 20 記載の電流出力型駆動回路。

22. 複数の領域に分割して分担されたディスプレイパネルの当該分担領域に対して駆動電流を出力するディスプレイデバイスであって、

上記ディスプレイパネルの各分担領域に対応して設けられた複数のドライバを有し、

上記各ドライバは、

供給される基準電流を上記駆動電流として上記ディスプレイパネルの対応する分担領域に出力する出力手段と、

基準電流入力端子から入力した基準電流をサンプルホールドした後、上記出力手段に供給する基準電流源回路と

を有する

ディスプレイデバイス。

23. 複数の領域に分割して分担されたディスプレイパネルの当該分担領域に対して駆動電流を出力するディスプレイデバイスであって、

上記ディスプレイパネルの各分割領域に対応して設けられた複数のドライバを有し、

上記各ドライバは、

供給される基準電流を上記駆動電流として上記ディスプレイパネルの対応する分担領域に出力する出力手段と、

基準電流入力端子から入力した基準電流をサンプルホールドした後、上記出力手段に供給する基準電流源回路と

を有し、かつ、

上記基準電流入力端子が他のドライバの基準電流入力端子と共通の電流配線により接続され、

上記各ドライバの基準電流源回路には、基準電流が時分割で分配されるディスプレイデバイス。

24. 上記各ドライバは、基準電流分配開始を示す信号を受けると、上記基準電流入力端子から上記基準電流を上記基準電流源回路に取り込み、基準電流分配開始を示す信号を次段のドライバ回路に出力する

請求項23記載のディスプレイデバイス。

25. 上記各ドライバは、データメモリを有し、データの書き込み開始を示す第1の信号を受けると、入力データを上記データメモリに書き込み、データの書き込み開始を示す上記第1の信号を次段のドライバに出力し、かつ、基準電流分配開始を示す第2の信号を受けると、上記第1の信号に同期して上記基準電流入力端子から上記基準電流を上記基準電流源回路に取り込み、基準電流分配開始を示す上記第2の信号を次段のドライバ回路に出力する

請求項23記載のディスプレイデバイス。

26. 上記基準電流の配線はシールド用の電源配線の間配置されている

請求項23記載のディスプレイデバイス。

27. 上記基準電流の配線は、シールド用電源層を含む多層配線の場合、当該

シールド用電源層の上層に配置されている

請求項 2 3 記載のディスプレイデバイス。

28. 各ドライバの基準電流をサンプルホールドする回路が全てオフしたときに、上記共通の基準電流配線の電位が大幅に変動することを抑制する手段を有する

請求項 2 3 記載のディスプレイデバイス。

FIG. 1

1

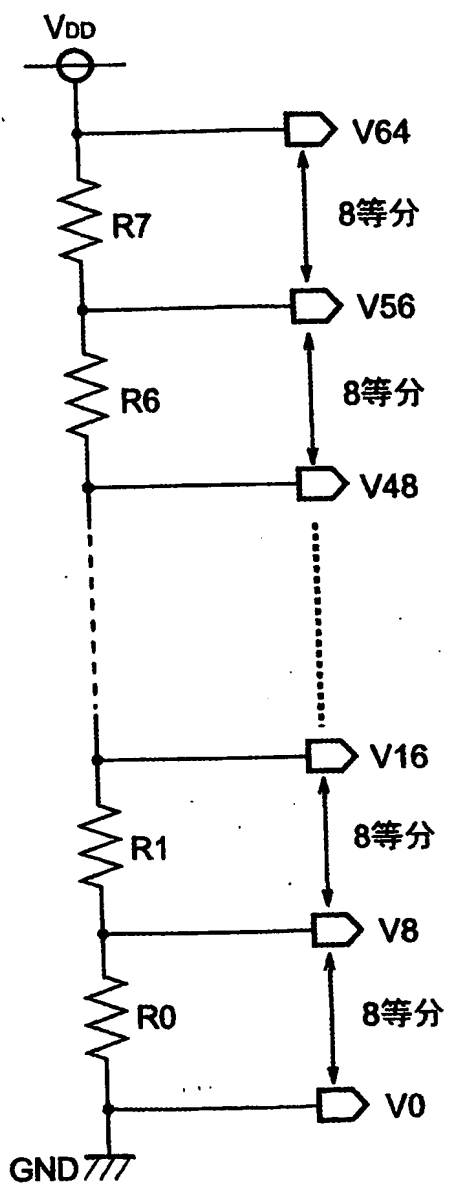
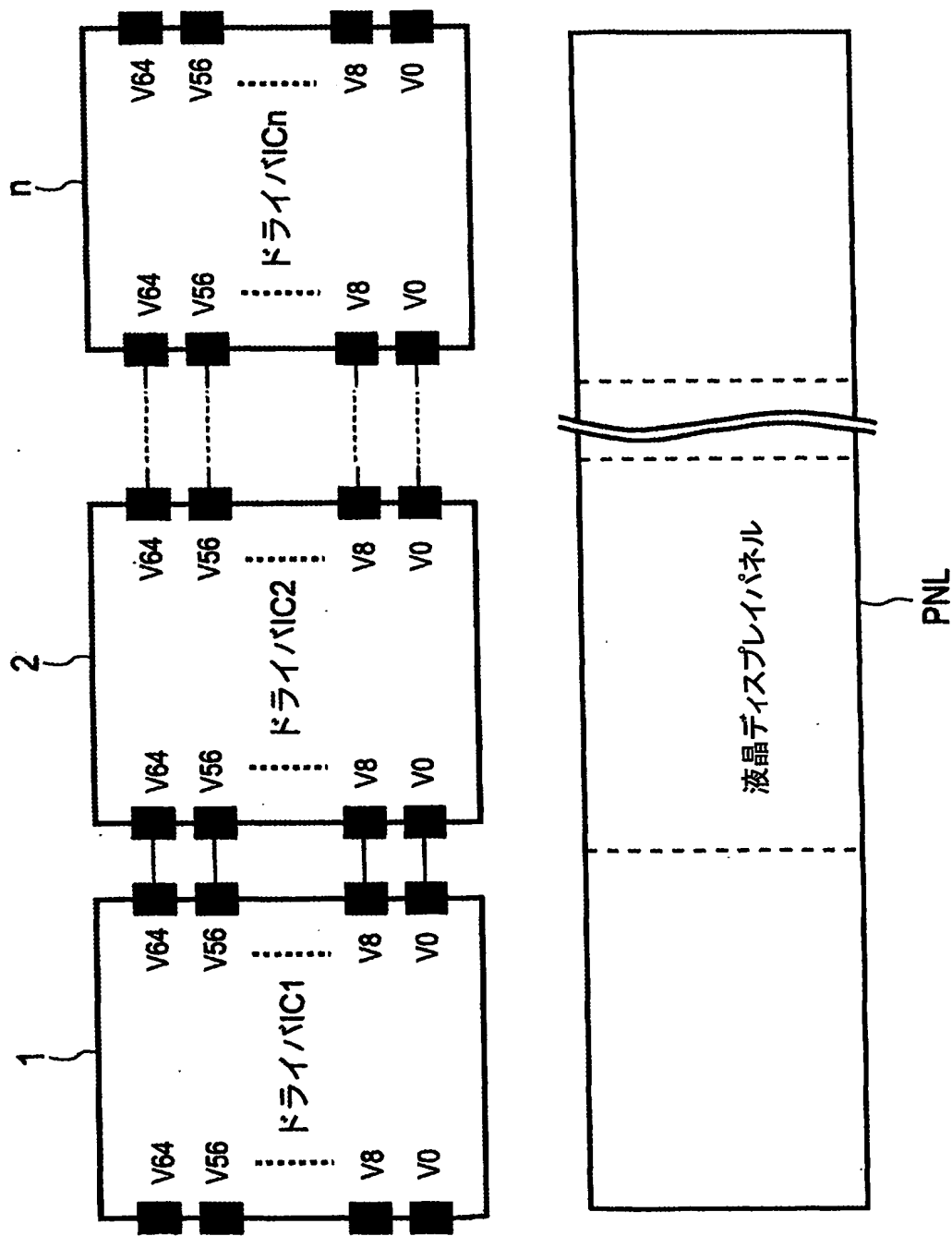


FIG. 2



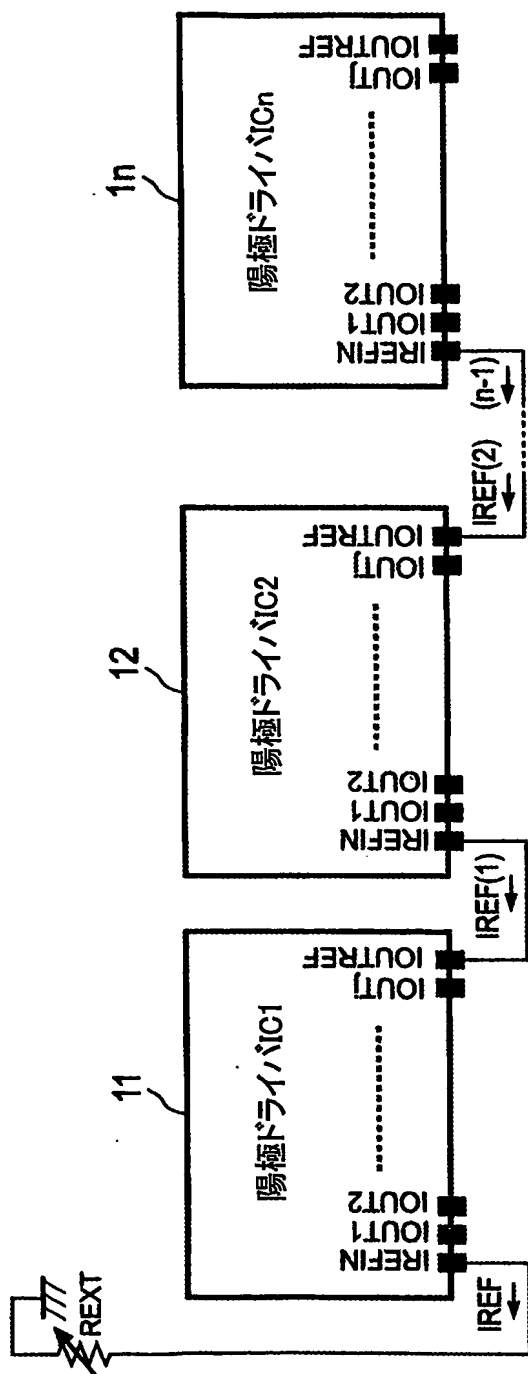


FIG. 3A

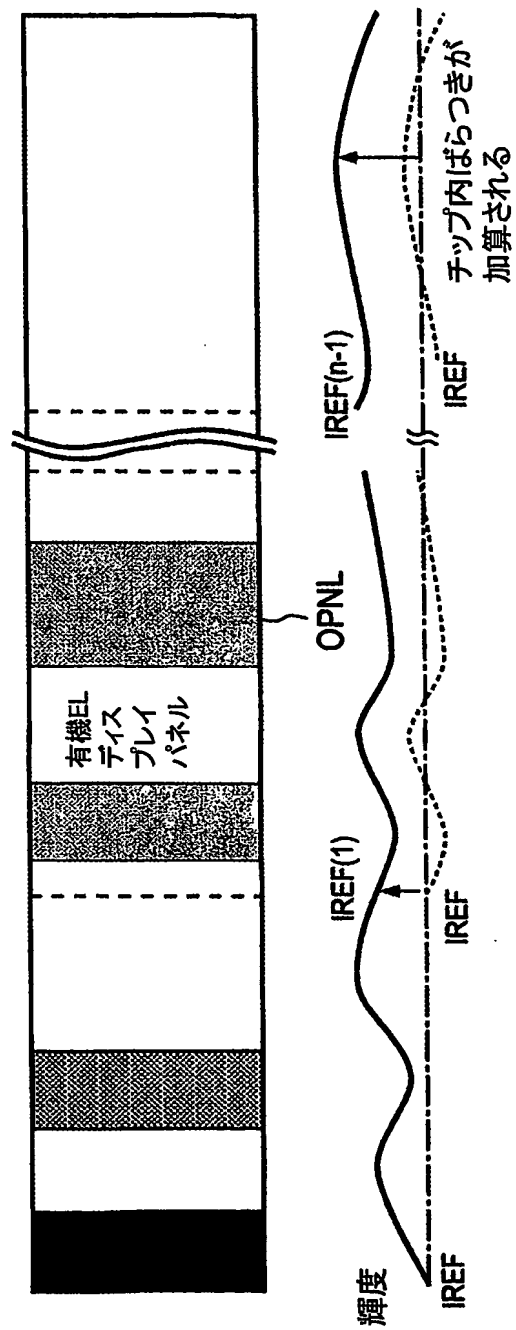
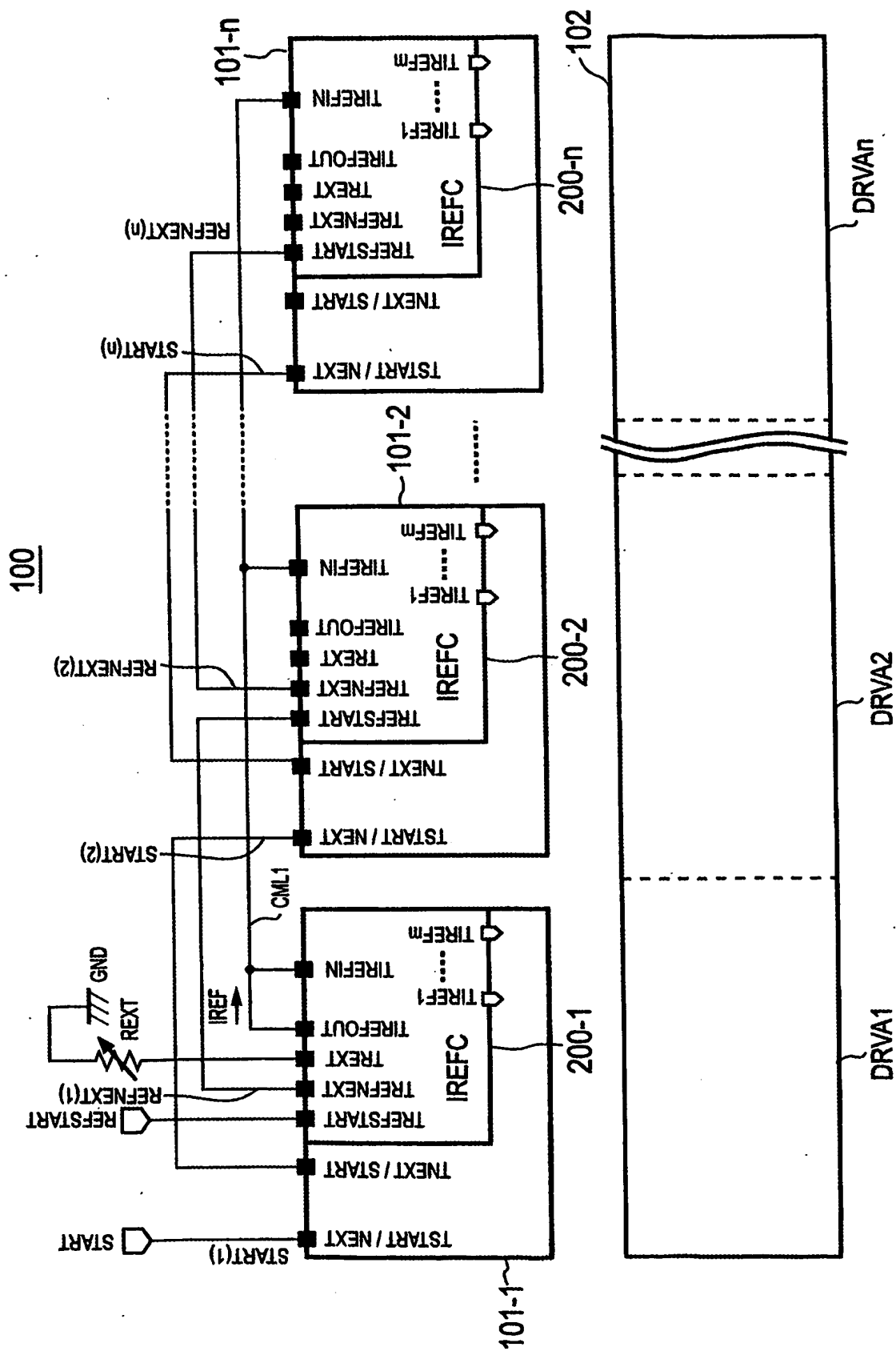


FIG. 3B

FIG. 4



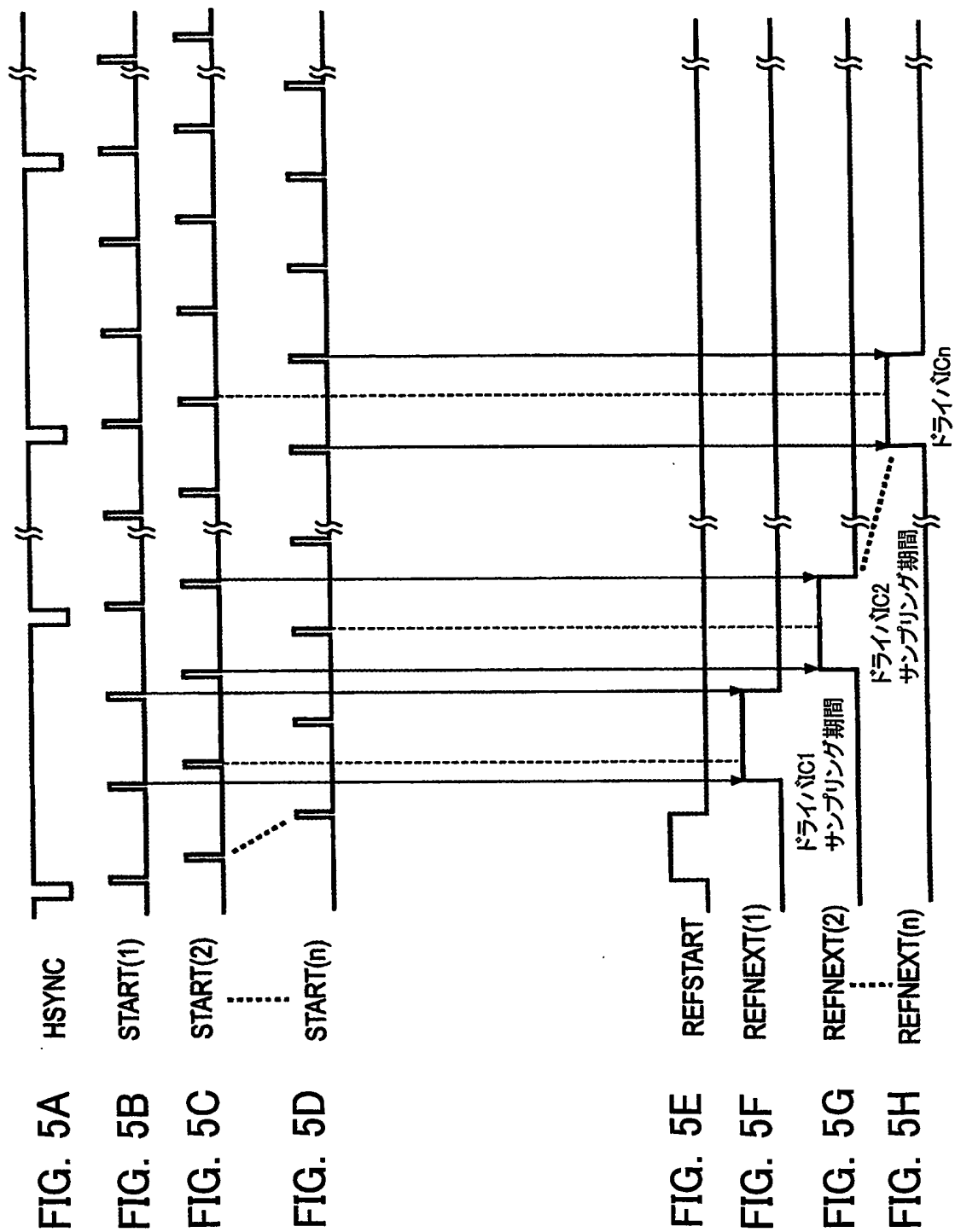


FIG. 7

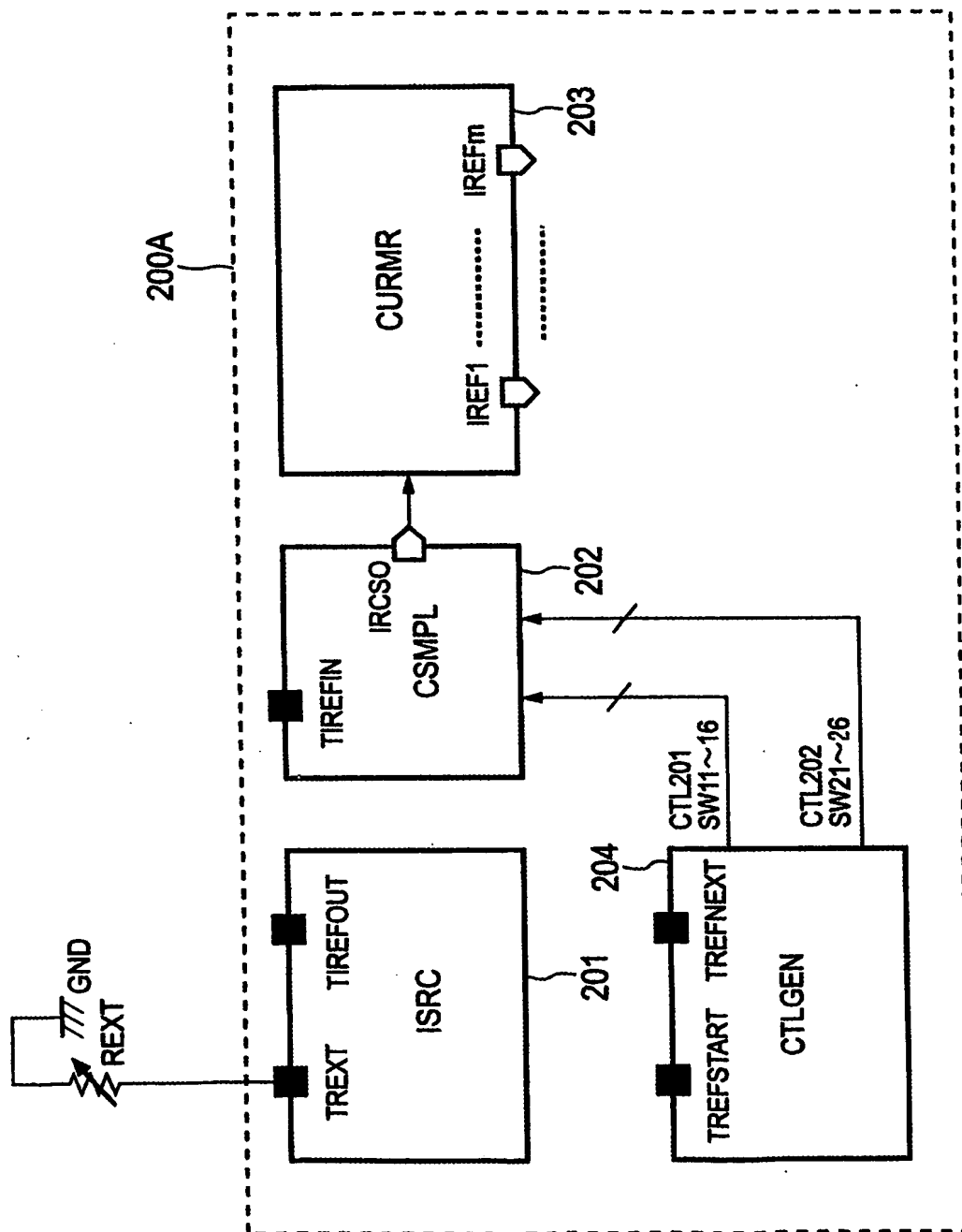


FIG. 8

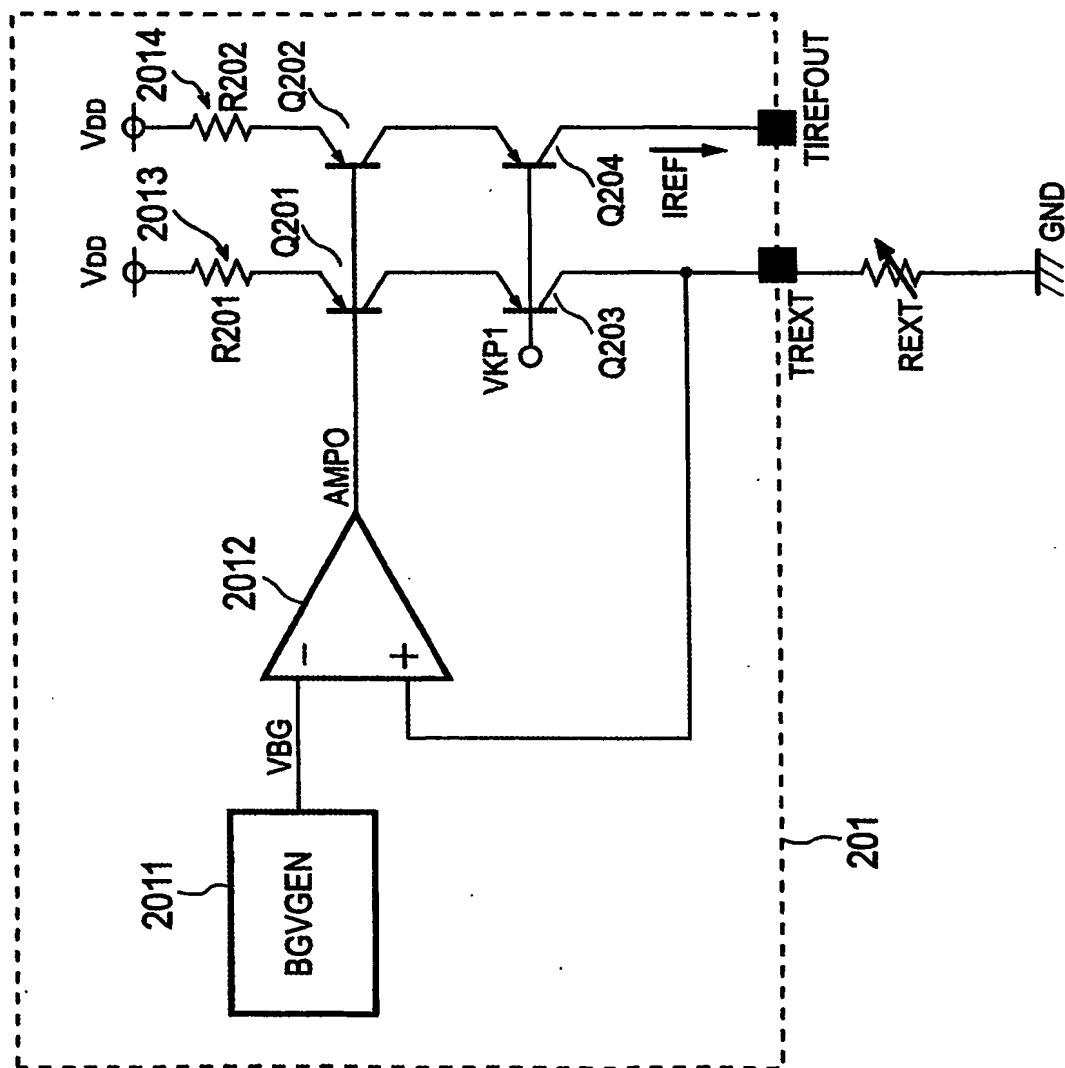
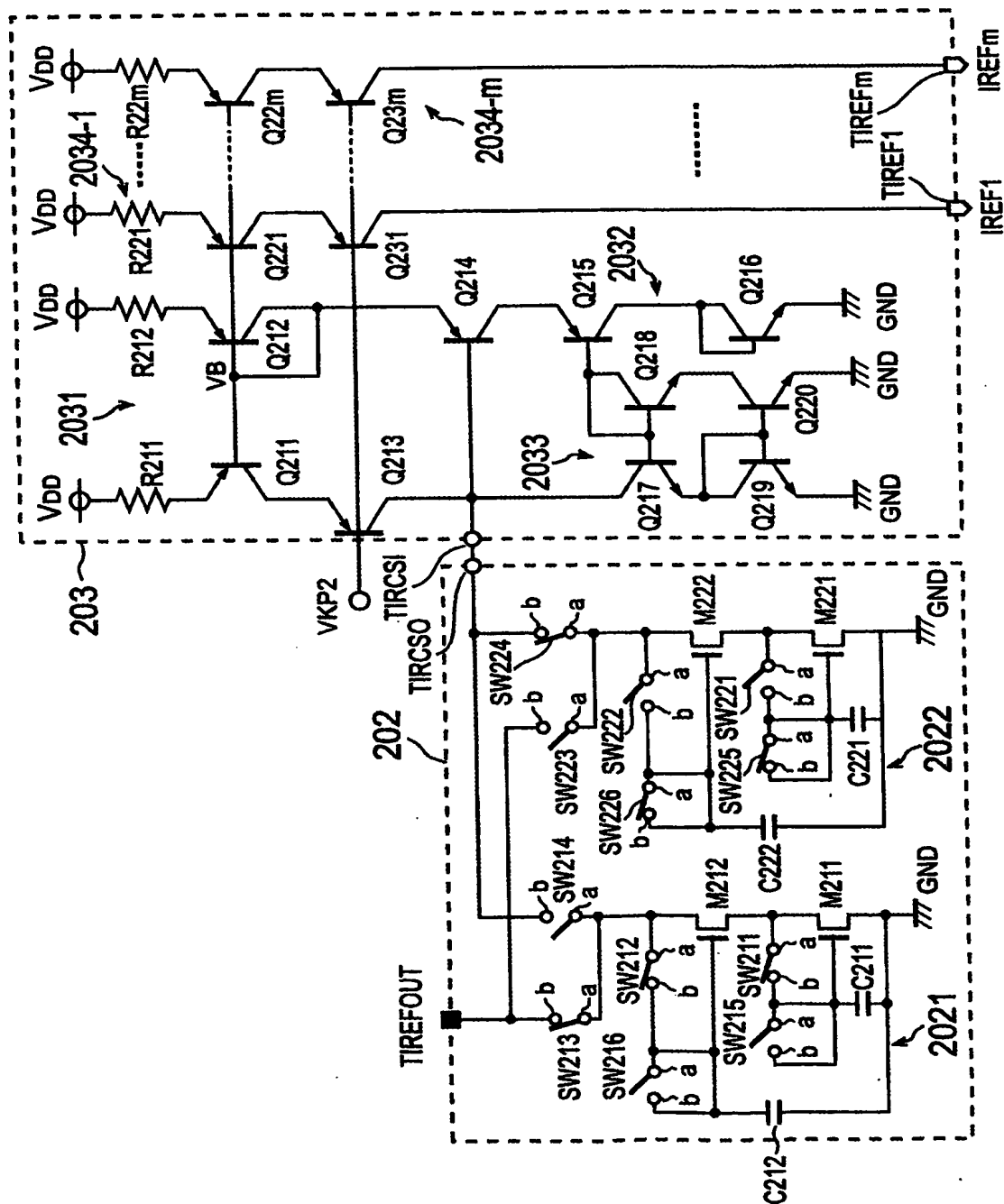


FIG. 9



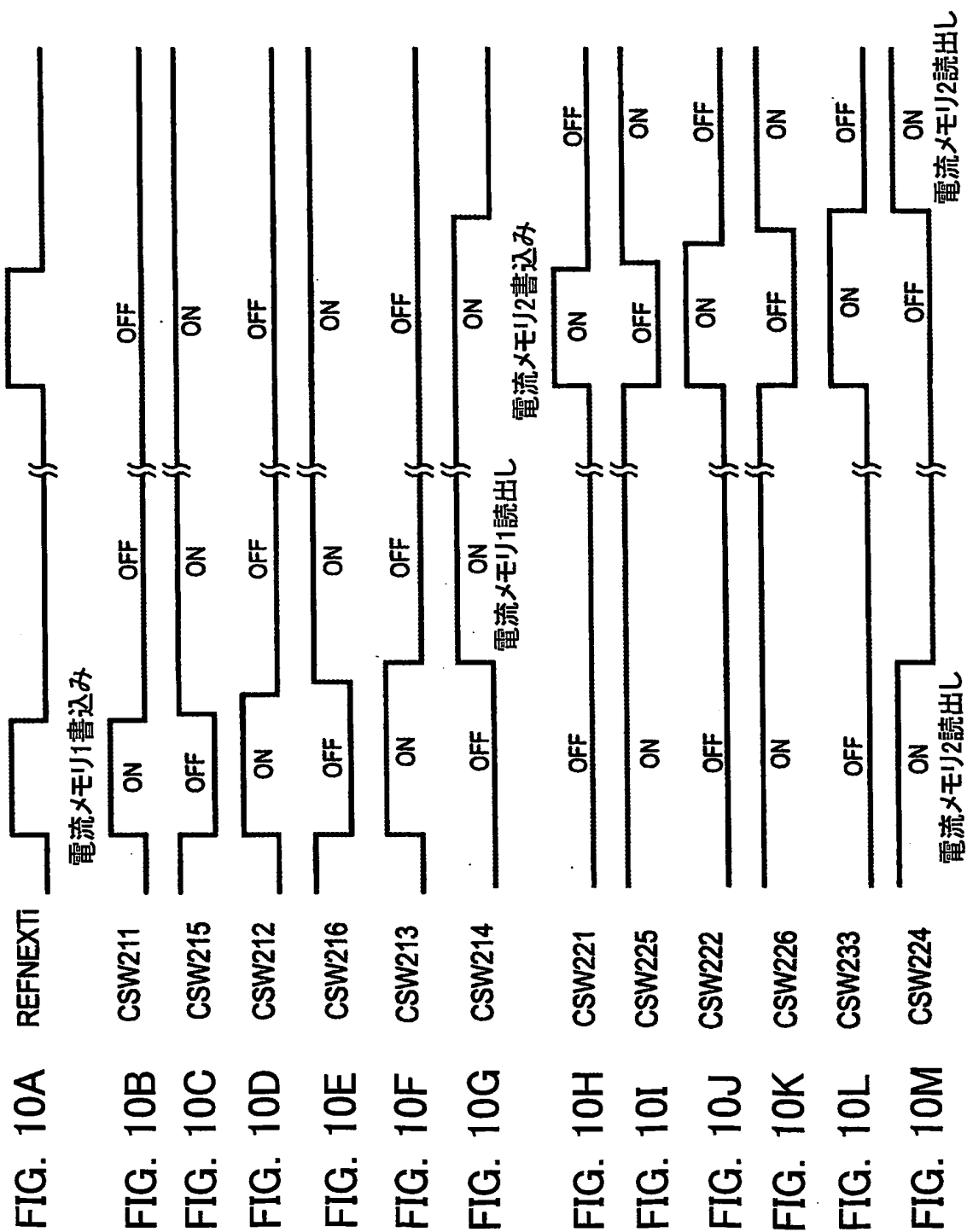


FIG. 11C

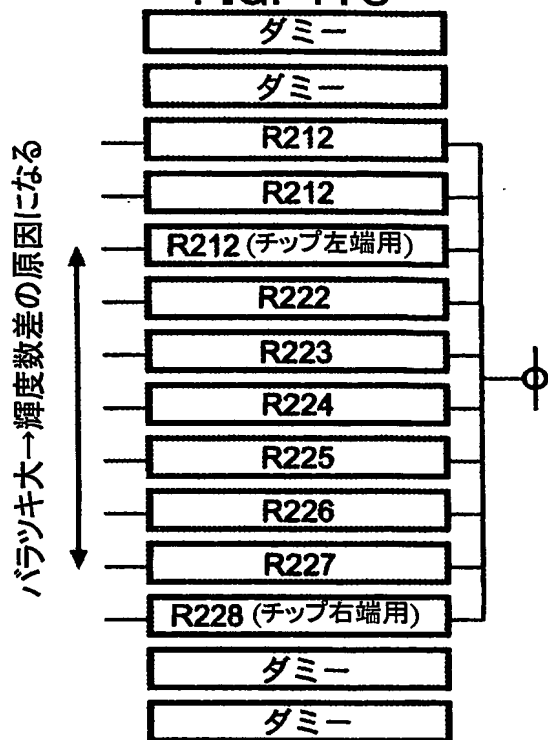


FIG. 11A

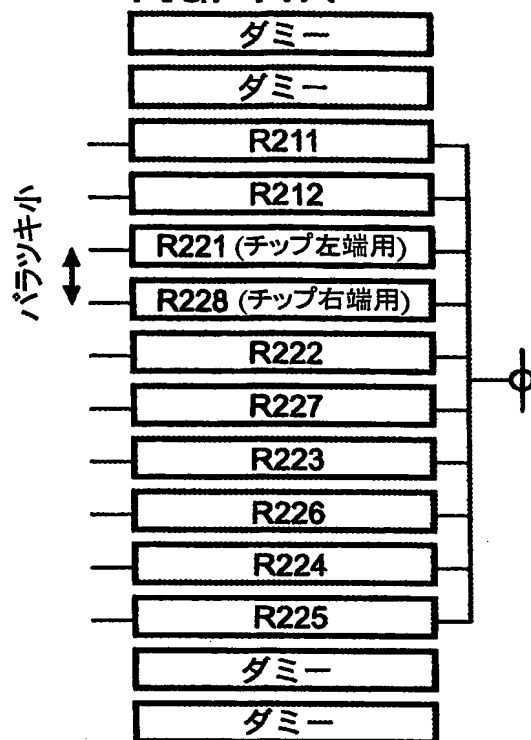


FIG. 11B

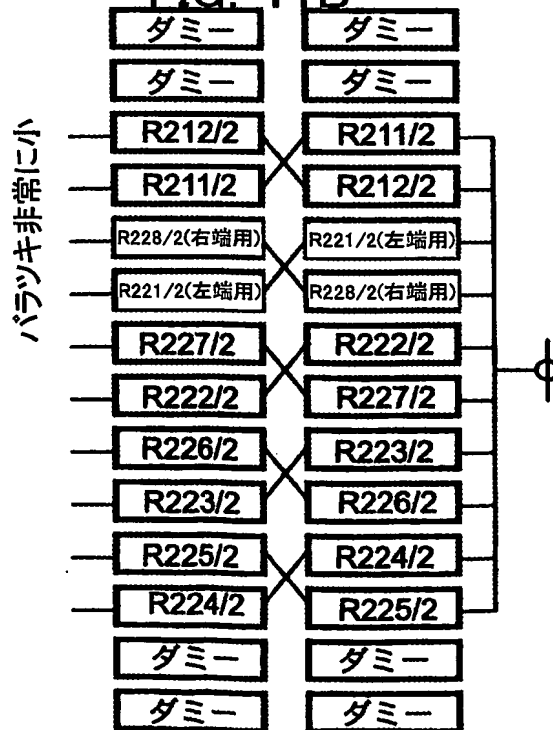
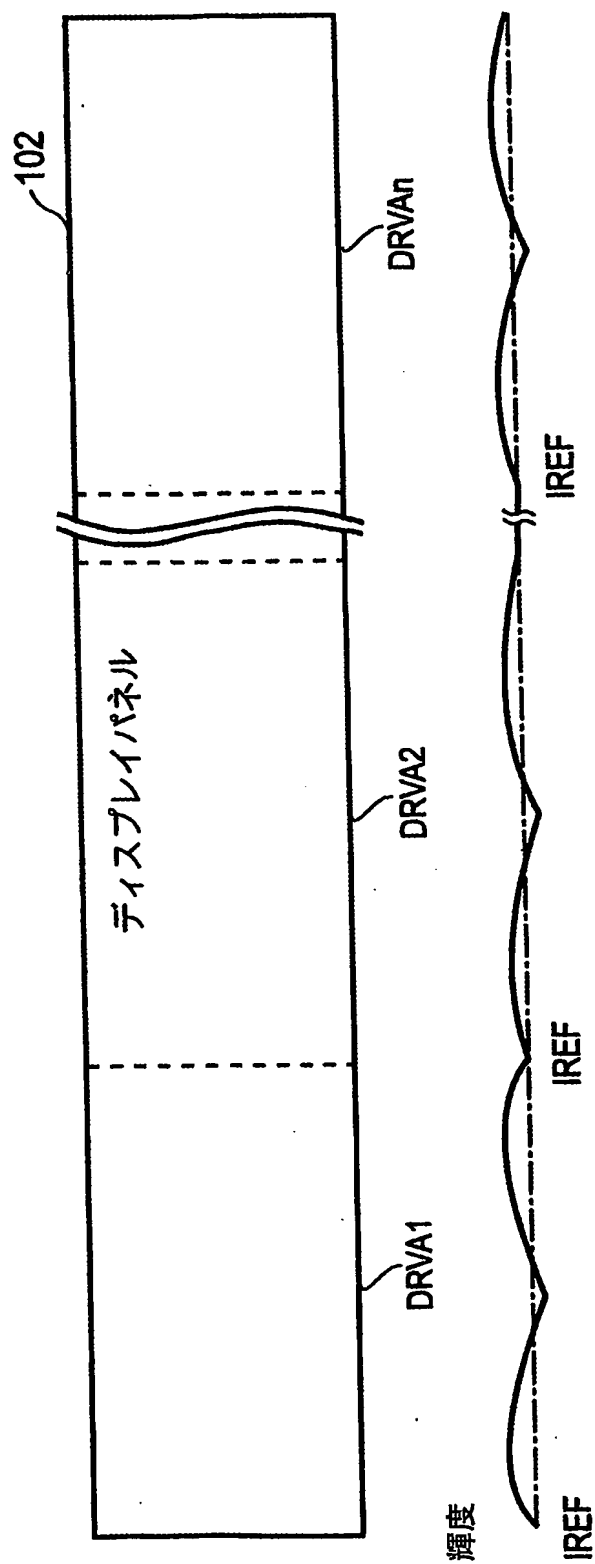


FIG. 12



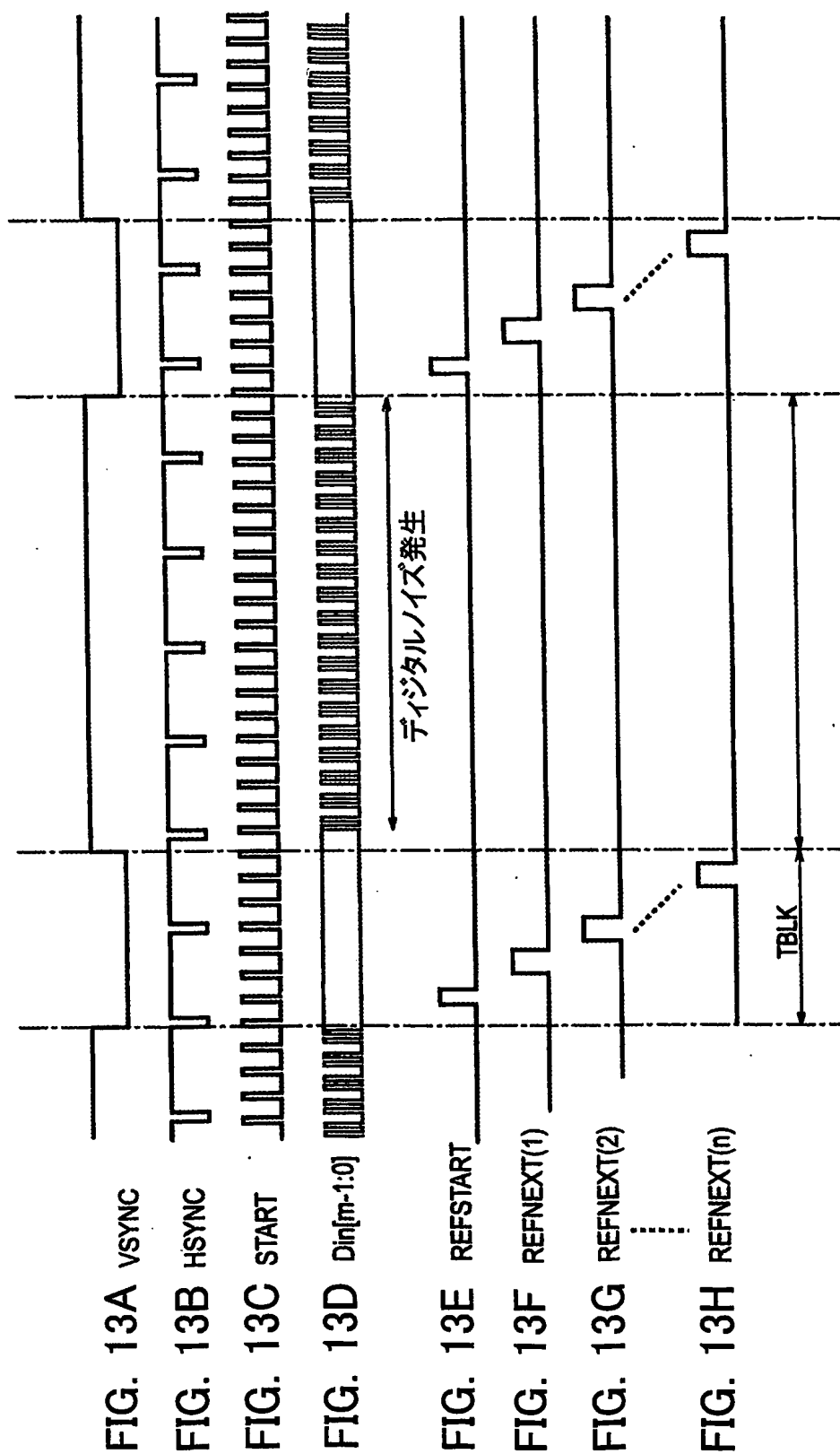


FIG. 15

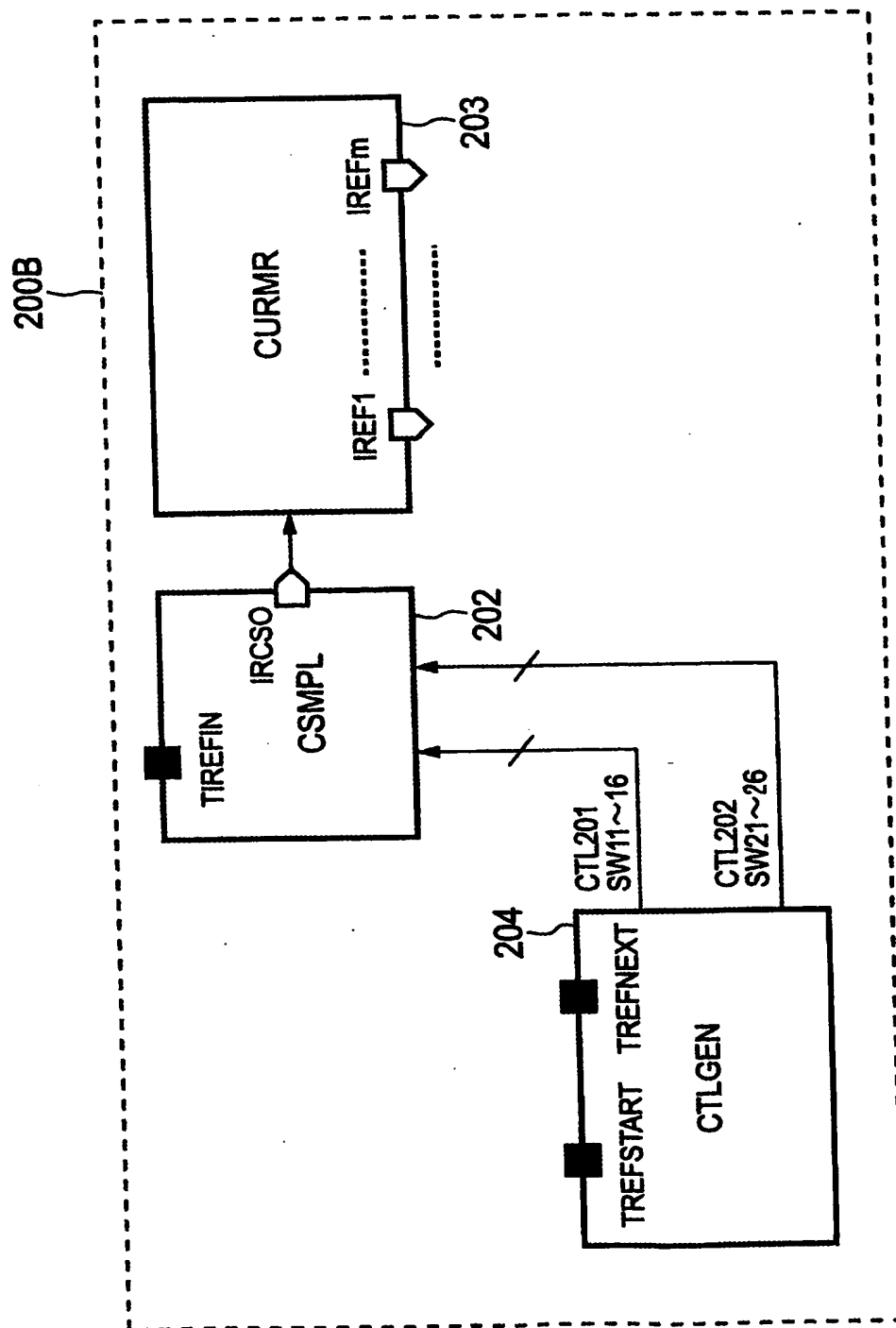
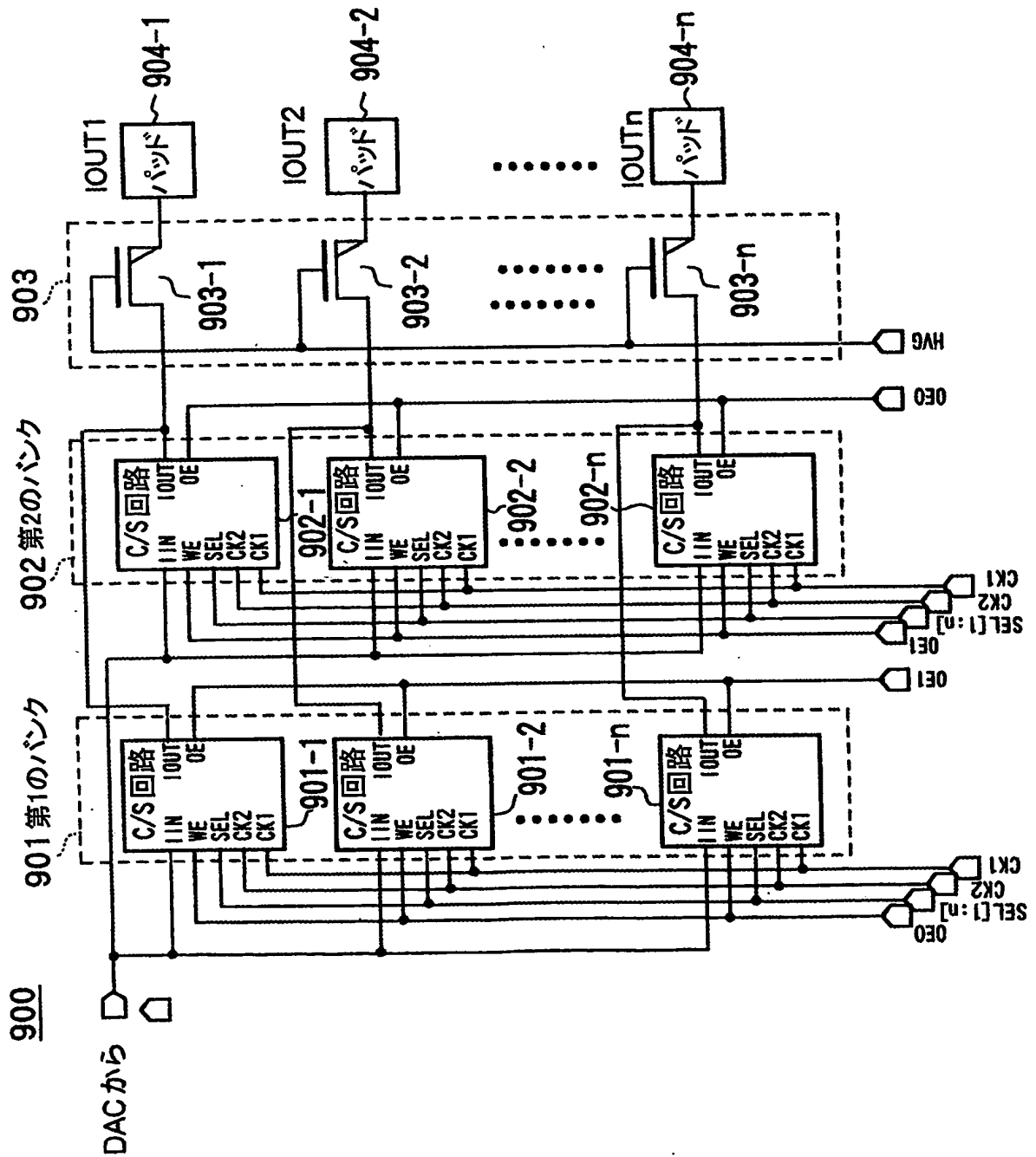


FIG. 16



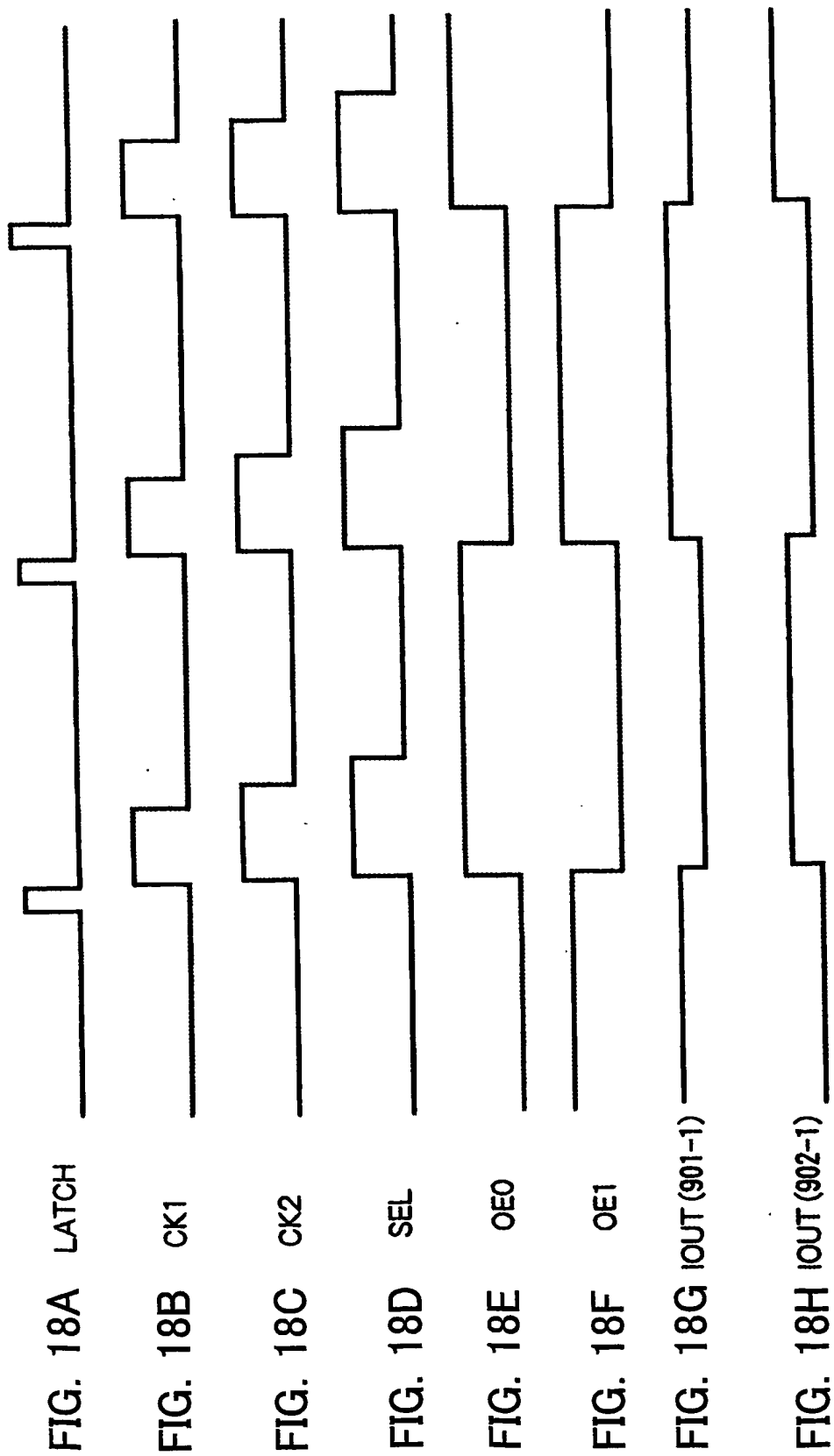


FIG. 19

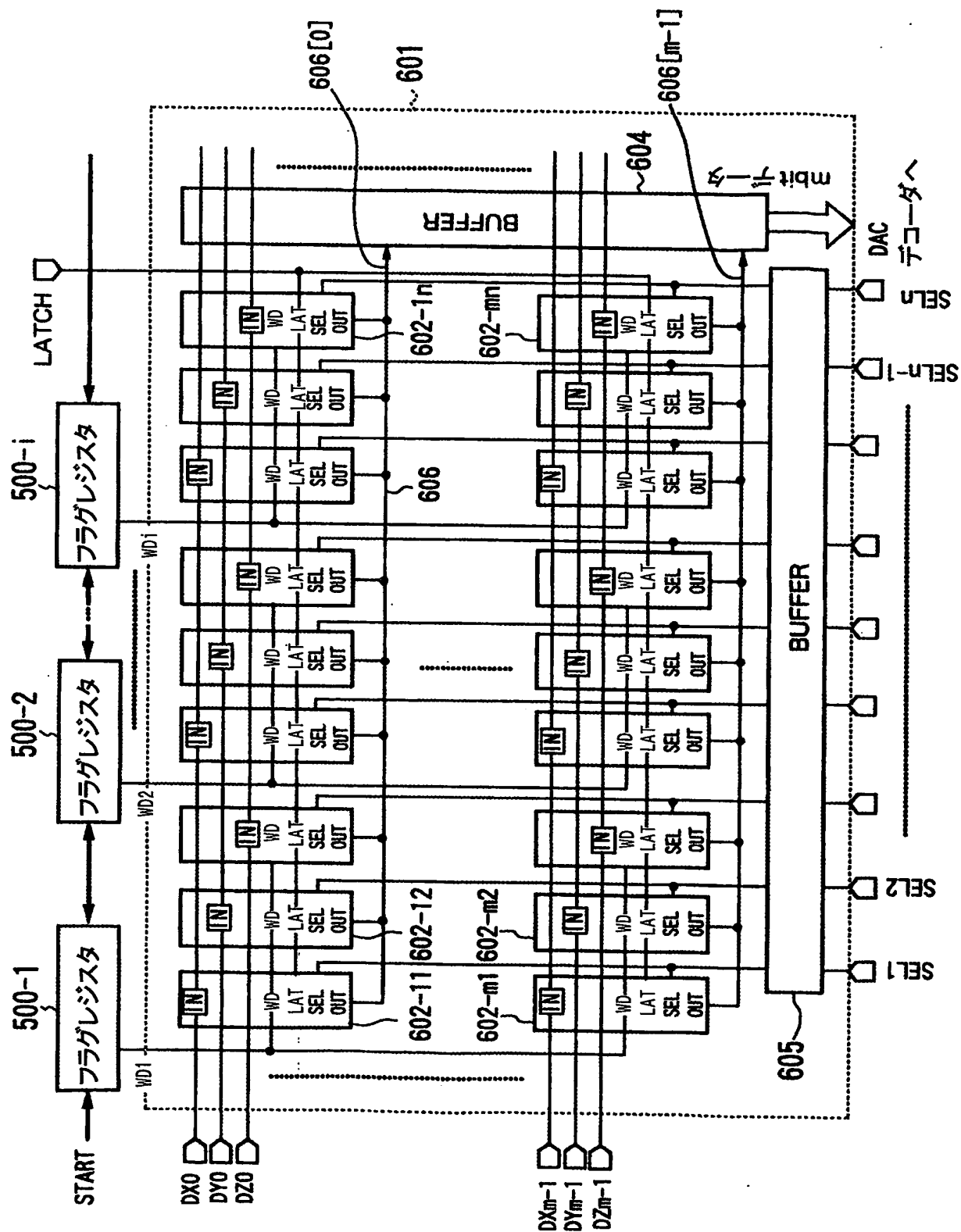
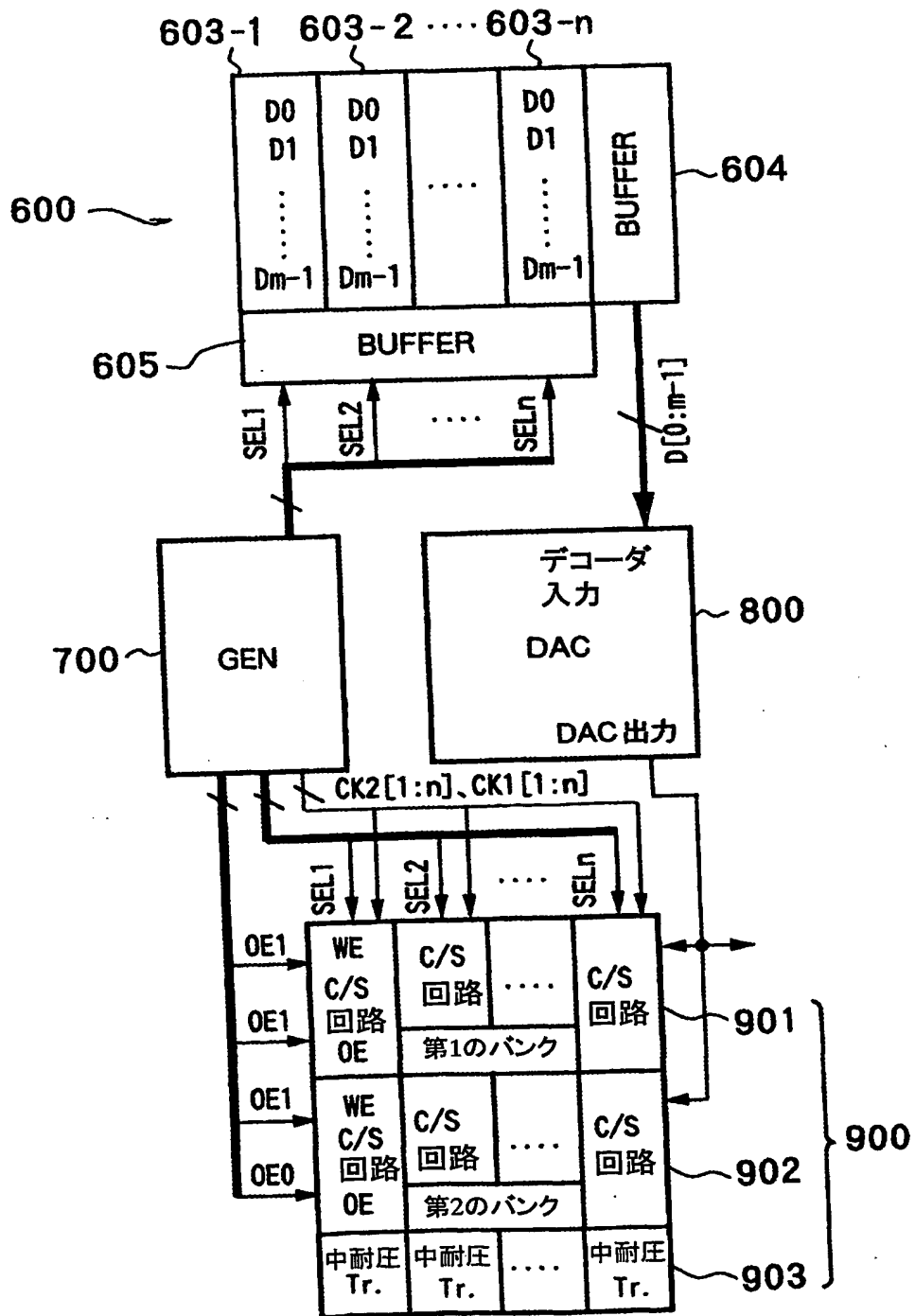


FIG. 20



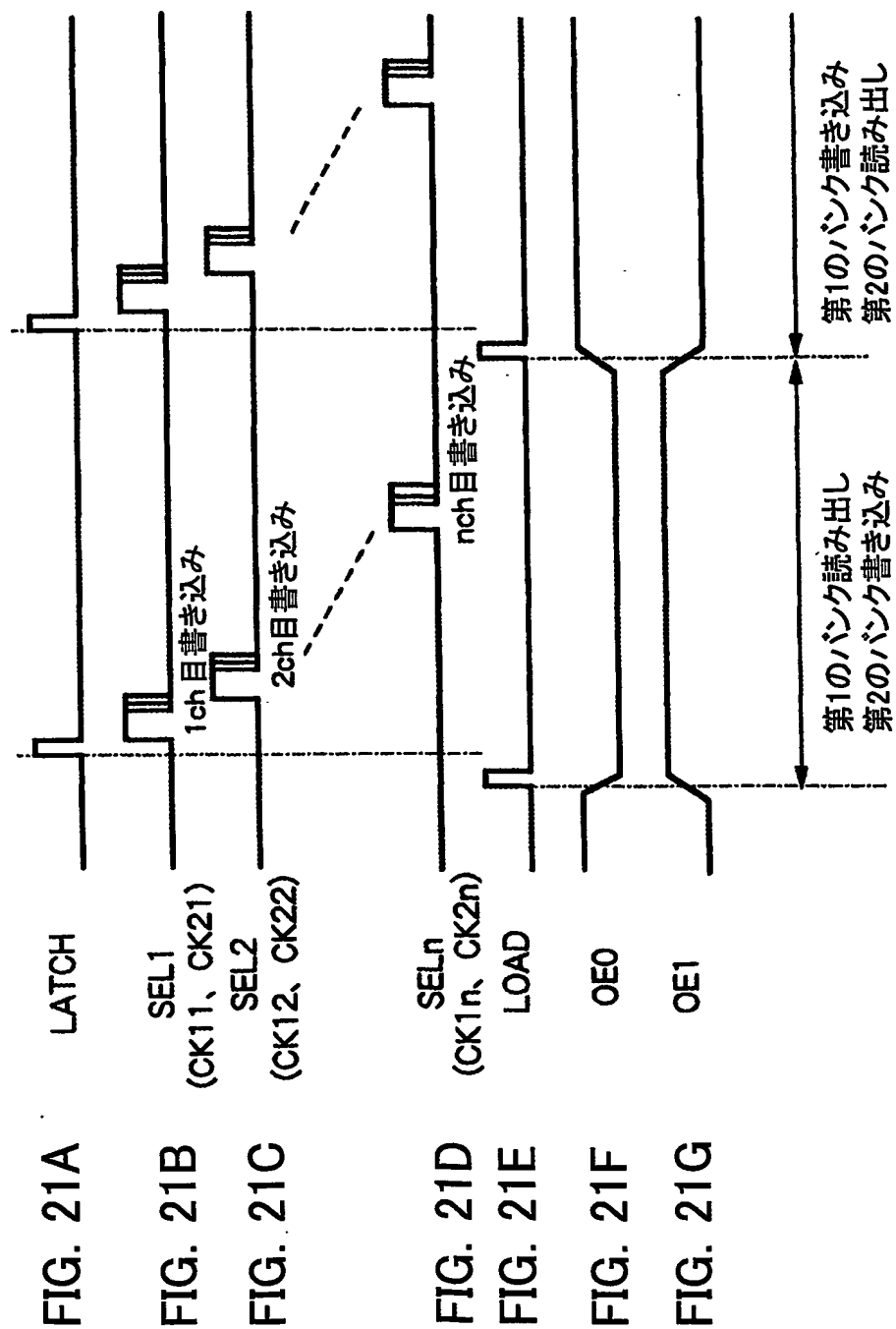
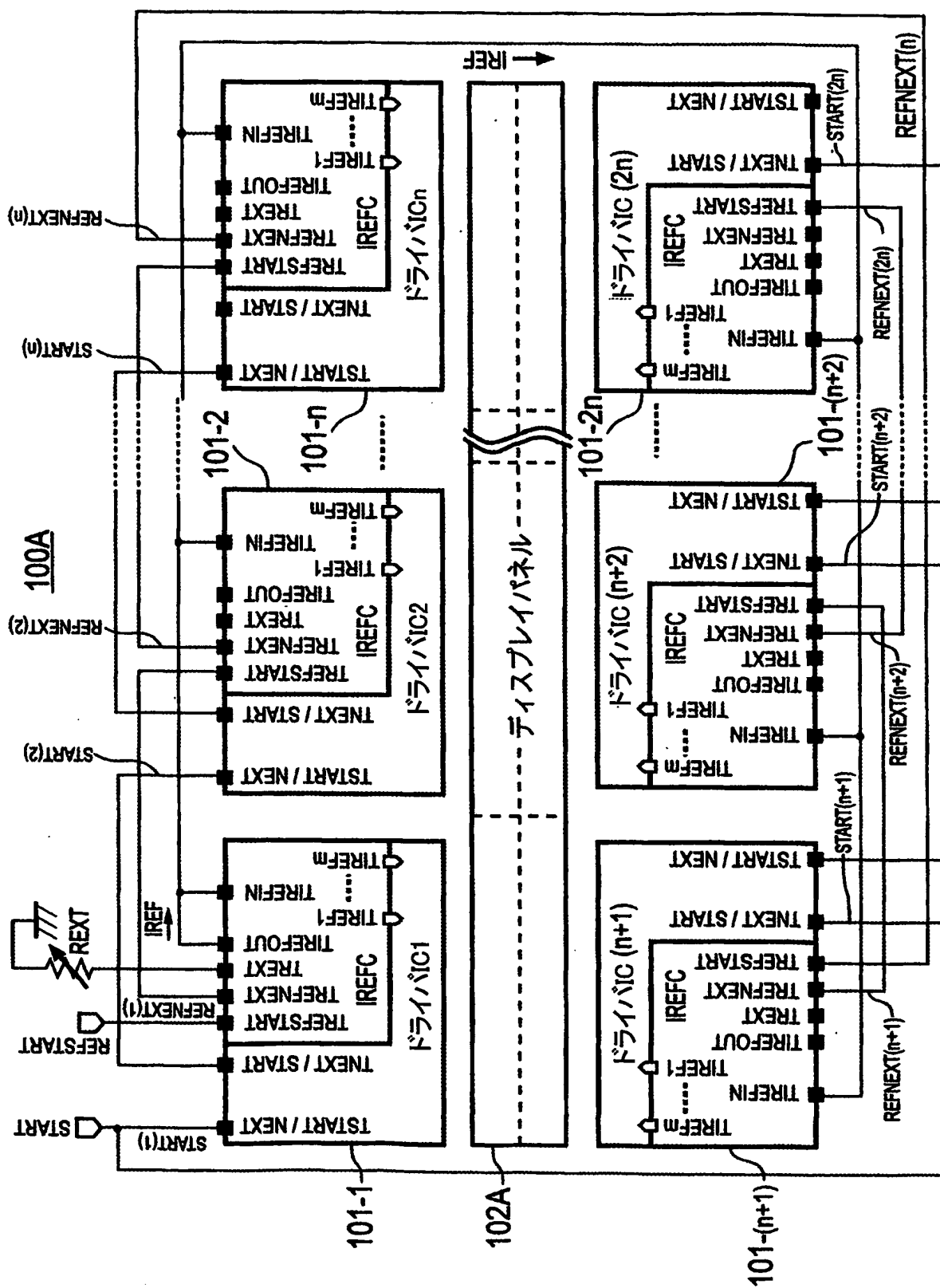
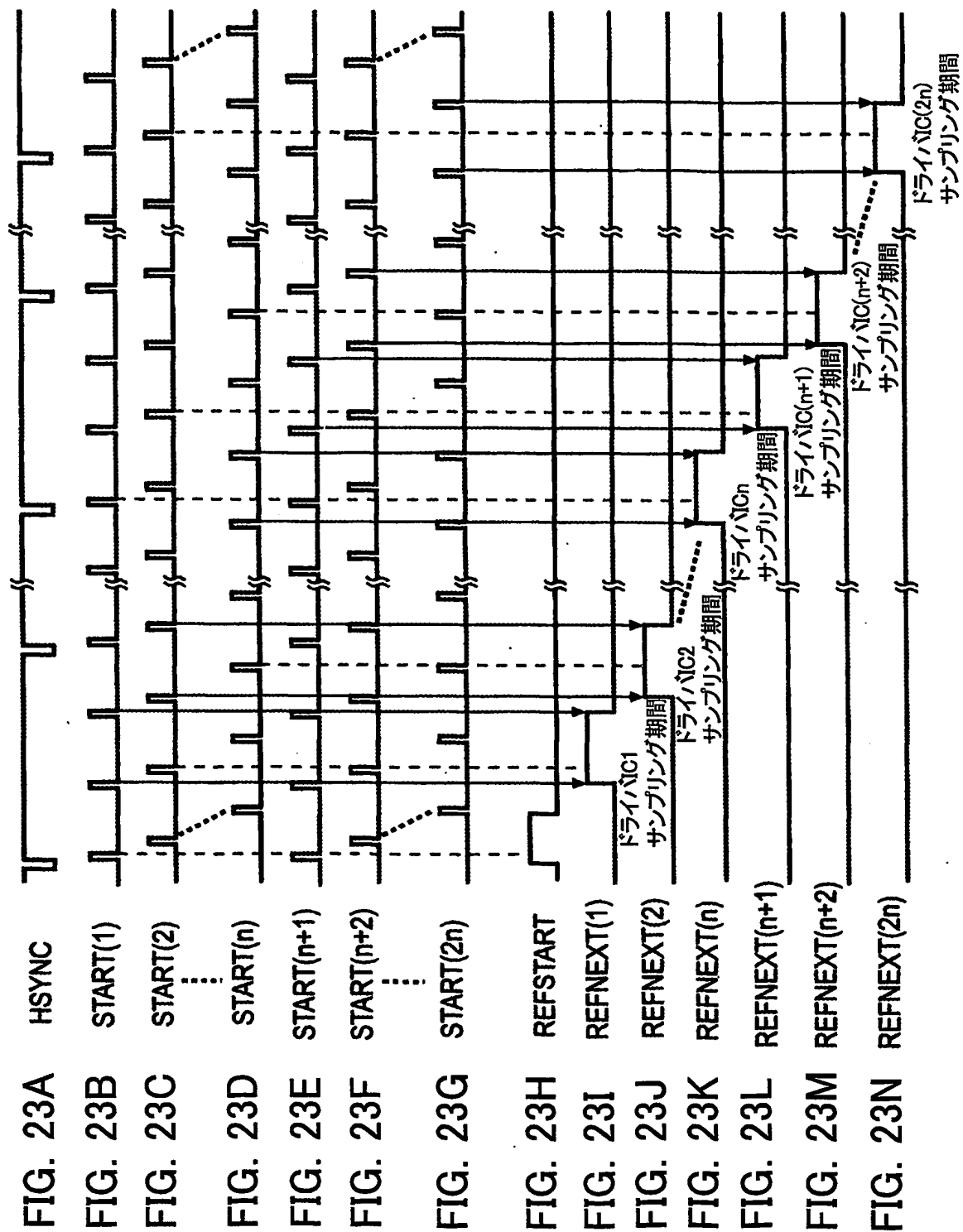


FIG. 22





符号の説明

1 0 0 …有機ELディスプレイデバイス

1 0 1, 1 0 1 - 1 ~ 1 0 1 - n …電流出力型データ線ドライバ (ドライバ I C)

2 0 0 (- 1 ~ - n), 2 0 0 A, 2 0 0 B …基準電流源回路 (I R E F C)

3 0 0 …制御回路 (C T L)

4 0 0 …書き込み回路 (W R T)

5 0 0 …フラグ用双方向シフトレジスタ (F S F T)

6 0 0 …画像データ用レジスタアレイ (R E G A R Y)

7 0 0 - 1, 7 0 0 - (m / 2) …制御信号発生回路 (G E N)

8 0 0 - 1 ~ 8 0 0 - m …電流出力型 D A C (デジタル / アナログコンバータ)

9 0 0 - 1 ~ 9 0 0 - m …電流出力回路 (I O U T)

9 0 1 …第 1 のバンク

9 0 2 …第 2 のバンク

9 0 3 …電流出力トランジスタアレイ

1 0 0 0 …テスト回路 (T S T)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/11235

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/30, 3/20, G11C27/02, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/30, 3/20, G11C27/02, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-81920 A (Canon Inc.), 21 March, 2000 (21.03.00), Par. Nos. [0013] to [0024]; Figs. 1 to 2 & US 6222357 B1	7, 10, 22-23
P, X	JP 2003-150112 A (Matsushita Electric Industrial Co., Ltd.), 23 May, 2003 (23.05.03), Par. Nos. [0024] to [0046]; Figs. 11 to 13 (Family: none)	1-2, 22
A	JP 62-122488 U (Sony Corp.), 04 August, 1987 (04.08.87), Full text; Figs. 1 to 6 (Family: none)	1-28

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
17 November, 2003 (17.11.03)

Date of mailing of the international search report
02 December, 2003 (12.12.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/11235

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-42827 A (Pioneer Electronic Corp.), 16 February, 2001 (16.02.01), Par. Nos. [0017] to [0025]; Fig. 7 (Family: none)	1-28
A	JP 3-125205 A (Fuji Electric Co., Ltd.), 28 May, 1991 (28.05.91), Page 2, lower left column, line 11 to page 3, upper right column, line 13; Figs. 1 to 2 (Family: none)	1-28
A	JP 2000-293245 A (Sharp Corp.), 20 October, 2000 (20.10.00), Par. Nos. [0017] to [0021]; Figs. 1 to 2 & US 6332661 B1	1-28

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. cl⁷ G09G3/30, 3/20, G11C27/02, H05B33/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. cl⁷ G09G3/30, 3/20, G11C27/02, H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-81920 A (キヤノン株式会社) 2000. 03. 21, 【0013】 ~ 【0024】, 図1-2 & US 6222357 B1	7, 10; 22-23
P, X	JP 2003-150112 A (松下電器産業株式会社) 2003. 05. 23, 【0024】 ~ 【0046】, 図11-13 (ファミリーなし)	1-2, 22
A	JP 62-122488 U (ソニー株式会社) 1987. 08. 04, 全文, 第1-6図 (ファミリーなし)	1-28

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

17. 11. 03

国際調査報告の発送日

02.12.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

濱本 禎広

2G

9509

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-42827 A(パイオニア株式会社) 2001.02.16, 【0017】～【0025】, 図7 (ファミリーなし)	1-28
A	JP 3-125205 A (富士電機株式会社) 1991.05.28, 第2頁左下欄第11行～第3頁右上欄第13行, 第1-2図 (ファミリーなし)	1-28
A	JP 2000-293245 A (シャープ株式会社) 2000.10.20, 【0017】～【0021】, 図1-2 & US 6332661 B1	1-28